

מערכות תוכנה הנדסאים – הנדסת אלקטרוניקה הנחיות לנבחן

- א. משך הבחינה: ארבע שעות.
- ב. מבנה השאלון ומפתח ההערכה: בשאלון זה עשר שאלות. עליך לענות על חמש שאלות בלבד בהתאם לפירוט שלהלן.
- חלק א': 40 נקודות**
שאלות 1-2. יש לענות על שאלה אחת. ערך כל שאלה – 20 נקודות.
שאלות 3-4. יש לענות על שאלה אחת. ערך כל שאלה – 20 נקודות.
- חלק ב': 60 נקודות**
שאלות 5-10. יש לענות על שלוש שאלות. ערך כל שאלה – 20 נקודות.
- בסך-הכול: 100 נקודות.**
- ג. חומר עזר מותר לשימוש:
1. מחשבון – אין להשתמש במחשב כף יד או במחשבון המאפשר תקשורת חיצונית.
 2. קלסר אחד בלבד עם חומר ההרצאות. אין להוציא דפים מהקלסר.
 3. שני ספרי לימוד.
- ד. הוראות מיוחדות:
- יש לציין את המקור ואת מספר העמוד במקרים שבהם ניתנה תשובה מתוך ספרי הלימוד.
- ה. הוראות כלליות:
1. יש לקרוא בעיון את ההנחיות בדף השער ואת כל שאלות הבחינה ולוודא שהן מובנות.
 2. יש להשאיר את העמוד הראשון במחברת הבחינה ריק. בסיום המבחן יש לרשום בעמוד זה את מספרי התשובות לבדיקה. התשובות ייבדקו לפי סדר כתיבתן בעמוד זה. לא ייבדקו תשובות עודפות.
 3. יש לכתוב את התשובות במחברת הבחינה בעט בלבד, בכתב יד ברור.
 4. יש להתחיל כל תשובה בעמוד חדש ולציין את מספר השאלה ואת הסעיף. אין צורך להעתיק את השאלה עצמה.
 5. טיוטה יש לכתוב במחברת הבחינה בלבד. יש לרשום את המילה "טיוטה" בראש העמוד ולהעביר עליו קו כדי שלא ייבדק.
 6. יש להציג פתרון מלא ומנומק כולל חישובים לפי הצורך. הצגת תשובה סופית ללא שלבי הפתרון לא תזכה בניקוד.
 7. אם לדעתך חסר בשאלה נתון, יש לציין זאת ולהוסיף נתון מתאים שיאפשר לך להמשיך בפתרון השאלה. נמק את בחירתך.

חל איסור מוחלט להוציא שאלון או מחברת בחינה מחדר הבחינה!

ההנחיות בשאלון זה מנוסחות בלשון זכר, אך מכוונות לנבחנות ולנבחנים כאחד.

בשאלון זה 16 עמודים.

בהצלחה!

חלק א' – תוכנה C++ (40 נקודות)

ענה על אחת מבין השאלות 1-2 (לכל שאלה – 20 נקודות).

שאלה 1

להלן פונקציה רקורסיבית:

```

int what(int num1, int num2, int num3)
{
    if (num1 == 0 && num2 == 0)
    {
        return 1;
    }

    if (num1%10 + num2%10 != num3)
        return 0;

    return what(num1/10, num2/10, num3);
}

```

(2 נק') א. מה תהיה תוצאת הרצת הפונקציה עם הערכים הבאים:

num1 = 1234, num2 = 9876, num3 = 10

(5 נק') ב. תאר במשפט אחד מה מבצעת הפונקציה.

(בלי להסביר איך הפונקציה מבצעת את העבודה ובלי להסביר כל פקודה בנפרד).

(13 נק') ג. נתון מערך המייצג מספר שלם חיובי, כך שבכל איבר במערך מאוחסנת ספרה אחת בלבד באופן הבא: ספרת האחדות מאוחסנת בתא האחרון של המערך, ספרת העשרות מאוחסנת בתא הלפני האחרון וכך הלאה.

דוגמה:

המספר 1234 יכול להיות מיוצג במערך כזה:

1	2	3	4
---	---	---	---

או, למשל, במערך הבא (אין משמעות לאפסים מובילים במספר):

0	1	2	3	4
---	---	---	---	---

כתוב את הפונקציה הרקורסיבית הבאה:

```
int isArrayRepresentsNum(int arr[], int size, long num)
```

הפונקציה מקבלת את המערך arr שכל איבר בו הוא ספרה, את מספר איברי המערך size ומספר חיובי שלם num. הפונקציה תחזיר 1 אם המערך מייצג את המספר num כפי שתואר לעיל, אחרת הפונקציה תחזיר 0.

שאלה 2

כתוב את הפונקציה הבאה:

```
int allWordsHaveSameLetters(const char* str)
```

הפונקציה מקבלת מחרוזת ובה כמה מילים (בין מילה למילה יש לפחות רווח אחד, וניתן להניח כי כל האותיות קטנות). הפונקציה תחזיר 1 אם כל המילים יכילו את אותן אותיות בדיוק, אחרת הפונקציה תחזיר 0. מספר החזרות של האותיות בכל מילה יכול להיות שונה.

דוגמאות:

- עבור המחרוזת abc bbca acb יוחזר 1
- עבור המחרוזת abc bca acb יוחזר 1
- עבור המחרוזת abc bba acb יוחזר 0

שים לב: פתרון מיטבי (אופטימלי) עובר על המחרוזות פעם אחת בלבד. רק פתרון מיטבי יזכה בניקוד מלא.

ענה על אחת מבין השאלות 3-4 (לכל שאלה – 20 נקודות).**שאלה 3**

להלן main המייצר אובייקטים מהמחלקה Baby:

```
void main()
{
    Baby b1("gogo");
    b1.print();

    Baby b2("momo");
    b2.print();

    Baby b3(b1);
    b3.print();

    b2 = b3;
    b2.print();
    b3.print();
}
```

להלן פלט של הרצת התוכנית:

```
Name: gogo Id: 1000 <IdGenerator: 1001>
Name: momo Id: 1001 <IdGenerator: 1002>
Name: gogo Id: 1002 <IdGenerator: 1003>
Name: gogo Id: 1001 <IdGenerator: 1003>
Name: gogo Id: 1002 <IdGenerator: 1003>
```

על-פי הרצת ה-main והפלט המוצג, ניתן לראות שלמשתנה מטיפוס Baby יש שם ומספר מזהה הניתן באופן אוטומטי.

כתוב את המחלקה Baby כך שתהיה שלמה מבחינה תכנותית, תתמוך ב-main הנ"ל ותייצר את הפלט שהוצג.

שאלה 4

להלן קטע קוד המכיל שתי מחלקות ו־main. כתוב מה יהיה פלט התוכנית.

```
#include <iostream>
using namespace std;

class A
{
protected:
    int x;
public:
    A(int x) : x(x)
    {
        cout << "A::A x=" << x << endl;
    }
    A(A& a)
    {
        x = ++a.x;
        cout << "A::A(copy) x=" << x << endl;
    }
    virtual ~A()
    {
        cout << "A::~~A x=" << x << endl;
    }
    virtual void foo() const
    {
        cout << "In A::foo x=" << x << endl;
    }
    void goo() const
    {
        cout << "In A::goo x=" << x << endl;
    }
};
```

```
class B : public A
{
    int y;

public:
    B(int a, int b) : A(a), y(b)
    {
        x++;
        cout << "B::B x=" << x << " y=" << y << endl;
    }

    ~B()
    {
        y *= x;
        cout << "B::~~B x=" << x << " y=" << y << endl;
    }

    void foo() const
    {
        cout << "In B::foo x=" << x << endl;
    }

    void goo() const
    {
        cout << "In B::goo x=" << x << endl;
    }
};
```

```

void main()
{
    A* arr[3];

    arr[0] = new A(5);
    arr[1] = new A(*arr[0]);
    arr[2] = new B(1,2);

    for (int i=0 ; i < 3 ; i++)
    {
        arr[i]->foo();
        arr[i]->goo();
    }

    B b(*(B*)arr[2]);
    b.foo();
    b.goo();

    for (int i=0 ; i < 3 ; i++)
        delete arr[i];

    cout << "bye\n";

}

```

חלק ב - VHDL (60 נקודות)**ענה על שלוש מבין השאלות 5-10 (לכל שאלה - 20 נקודות).****שאלה 5****(8 נק') א. לפיך תכנית (one_bit) בשפת VHDL המממשת מערכת ספרתית:**

```

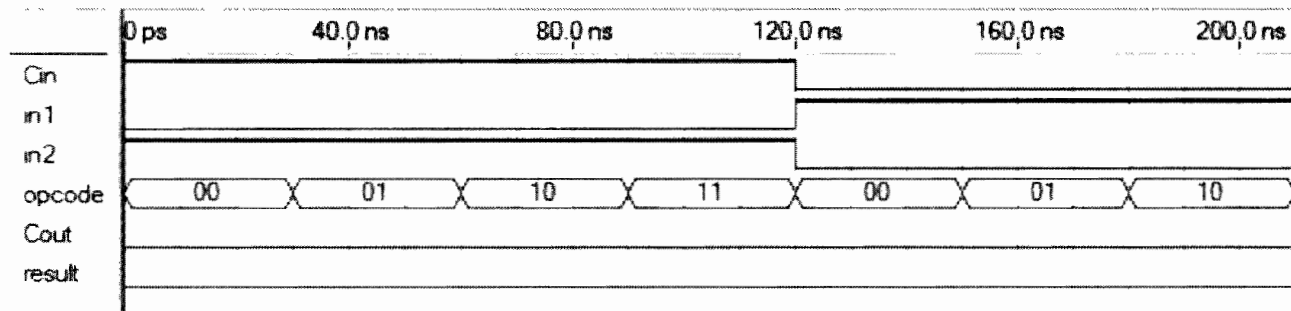
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY one_bit IS
PORT (in1,in2,Cin : IN std_logic;
      opcode :IN std_logic_vector (1 DOWNTO 0);
      result,Cout : OUT std_logic);
END ENTITY;

ARCHITECTURE gen OF one_bit IS
BEGIN
PROCESS (in1 , in2 , Cin , opcode)
BEGIN
CASE opcode IS
    WHEN "00" =>
        result <= in1 and in2 and Cin;
        Cout    <= '0';
    WHEN "01" =>
        result <= in1 or in2 or Cin;
        Cout    <= '0';
    WHEN "10" =>
        result <= in1 xor in2 xor Cin;
        Cout    <= (in1 and in2 ) or (in2 and Cin ) or (in1 and Cin );
    WHEN OTHERS =>
        result <= '1';
        Cout    <= '1';
END CASE;
END PROCESS;
END ARCHITECTURE;

```

העתק למחברתך את דיאגרמת הזמנים המופיעה באיור לשאלה 5 והשלם את מצב המוצאים
 Cout ו result.



איור לשאלה 5

(12 נק') ב. נתונה התוכנית tar_5 שמשתמשת בקוד one_bit מהסעיף הקודם:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY tar_5 IS
  GENERIC (width : natural :=4) ;
  PORT (  cin      : IN std_logic;
         in1,in2   : IN std_logic_vector (width-1 DOWNT0 0);
         opcode    : IN std_logic_vector (1 DOWNT0 0);
         result    : OUT std_logic_vector (width-1 DOWNT0 0);
         cout      : OUT std_logic );
END tar_5;

ARCHITECTURE gener OF tar_5  IS
  COMPONENT one_bit IS
  PORT (in1,in2,cin : IN std_logic;
        opcode :IN std_logic_vector (1 DOWNT0 0);
        result,cout : OUT std_logic);
  END COMPONENT;

  SIGNAL carry_vector : std_logic_vector (width-1 DOWNT0 0);
  BEGIN

  a0:one_bit PORT MAP (in1=>in1(0) , in2=>in2(0) , cin=>cin ,
    opcode=>opcode ,
    result=>result(0) , cout=>carry_vector(0));

```

```

altoan: FOR i IN 1 TO width-2 GENERATE
a1: one_bit PORT MAP ( in1=>in1(i) , in2=>in2(i) , cin=>carry_
vector(i-1) , opcode=>opcode , result=>result(i) , cout=>carry_
vector(i));
END GENERATE;
An:one_bit PORT MAP (in1(width-1) , in2(width-1) , carry_vector(width-2)
, opcode , result(width-1) , cout);
END gener;

```

סרטט במדויק תרשים המתאר את החומרה שתיווצר על-ידי התוכנית tar_5.
הקפד על סרטוט ברור תוך רישום שמות האותות ומיקומיהם על גבי הסרטוט.

שאלה 6

להלן תוכנית בשפת VHDL בשם (tar_a):

```

LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;

ENTITY tar_a IS
GENERIC (vec_in : INTEGER:=4);           -- שורה 4
PORT (
    d_in      : IN bit_vector (vec_in-1 DOWNT0 0);
    d_out     : OUT bit_vector (2*vec_in-1 DOWNT0 0));
END ENTITY;

ARCHITECTURE behav OF tar_a IS

BEGIN
PROCESS (d_in)
variable one : BOOLEAN;
BEGIN
IF d_in(vec_in-1)='1' THEN
    one := true;
ELSE
    one := false;
END IF;
FOR i IN vec_in TO 2*vec_in-1 LOOP      -- שורה 19

```

```

IF one THEN
    d_out (i) <= '1';
ELSE
    d_out (i) <= '0';
END IF;
END LOOP;
-- שורה 25
d_out (vec_in-1 downto 0) <= d_in (vec_in-1 DOWNT0 0);

END PROCESS;
END ARCHITECTURE;

```

(2 נק') א. הסבר את שורה 4. `GENERIC (vec_in : INTEGER:=4);`

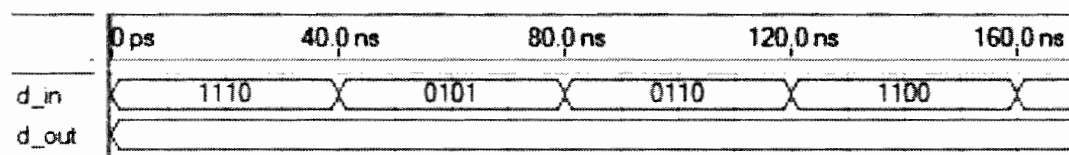
(4 נק') ב. תאר את הפעולות שמבצע קטע הקוד הבא: (שורות 19-25)

```

FOR i IN vec_in TO 2*vec_in-1 LOOP
    IF one THEN
        d_out (i) <= '1';
    ELSE
        d_out (i) <= '0';
    END IF;
END LOOP;

```

(6 נק') ג. העתק למחברתך את דיאגרמת הזמנים הנתונה באיור לשאלה 6, והשלם את מצב המוצא `d_out` עבור המערכת המתוארת בתוכנית `tar_a`, בהתאם למצב המבוא.

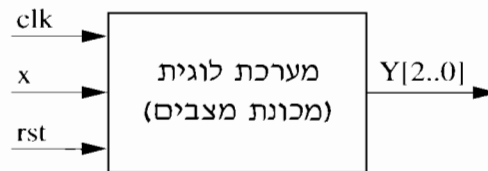


איור לשאלה 6

(8 נק') ד. כתוב קוד (Test Bench) לבדיקת הרכיב המתואר על-ידי התכנית `tar_a`. הנח שאות המבוא `d_in` משתנה כל 10 nSec, ובדוק את כל המצבים האפשריים (אין צורך להשתמש בפקודה `ASSERT`).

שאלה 7

(15 נק') א. כתוב תכנית בשפת VHDL המממשת את המערכת הלוגית המתוארת באיור לשאלה 7. במערכת זו שלושה מבואות: x , clk , rst ומוצא יחיד Y באורך שלוש סיביות.



איור לשאלה 7

להלן נתונים לגבי התנהגות המערכת:

- 1 מגיבה בעליית שעון (clk) וסופרת :
 - $s0 \leftarrow s3 \leftarrow s1$ וחוזר חלילה עבור $X = 0$.
 - $s0 \leftarrow s4 \leftarrow s2$ וחוזר חלילה עבור $X = 1$.
2. מוצא המערכת הוא הקוד הבינרי של המצב.
3. כאשר $rst = 1$ (אסינכרוני), המערכת חוזרת למצב ההתחלתי $s0$ ($Y = 000$).
4. אם במהלך פעולת המערכת משנים את מצב המפסק (x), המערכת חוזרת למצב $s0$.

(5 נק') ב. סרטט דיאגרמת מצבים ("בועות") המתארת את פעולת המערכת הנתונה בתכנית שכתבת בסעיף א'.

שאלה 8

נתונה התוכנית הבאה בשפת VHDL המתארת מכונת מצבים (tar_8)

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY tar_8 IS
    PORT ( clk : IN      std_logic;
          rst  : IN      std_logic;
          y    : IN      std_logic;
          x    : OUT std_logic_vector (2 DOWNTO 0));
END ENTITY;

ARCHITECTURE smachine OF tar_8 IS
    TYPE states IS (s0,s1,s2,s3,s4);
    SIGNAL currentS : states;
BEGIN

    PROCESS (clk,rst) IS
    BEGIN
        IF rst = '1' THEN
            currentS <= states'LEFTOF(S1);           -- שורה 16

        ELSIF (clk'Event AND clk = '1') THEN
            CASE currentS is
                WHEN S0 =>      IF y = '0' THEN
                                currentS <= states'RIGHTOF(S0);
                                ELSE
                                    currentS <= states'RIGHTOF(S1);
                                END IF;
                WHEN S1 =>      IF y = '0' then
                                currentS <= s3;
                                ELSE
                                    currentS <= states'LOW;
                                END IF;
                WHEN S2 =>      IF y = '0' then

```

```

        currentS <= s0;
    ELSE
        currentS <= states'HIGH; --שורה 32
    END IF;
    WHEN OTHERS =>
        currentS <= s0;
    END CASE;
END IF;
END PROCESS;

WITH currentS SELECT
    x<=  "001" WHEN s1,
         "010" WHEN s2,
         "011" WHEN s3,
         "100" WHEN s4,
         "000" WHEN OTHERS;
END ARCHITECTURE;

```

- 3 נק') א. האם המכונה היא מסוג Mealy או מסוג Moore? נמק את תשובתך.
- 3 נק') ב. מהי הפעולה המתוארת בשורה 16 של הקוד ?currentS <= states'LEFTOF(S1);
- 4 נק') ג. מהי הפעולה המתוארת בשורה 32 של הקוד ?currentS <= states'HIGH;
- 10 נק') ד. סרטט את דיאגרמת המצבים (דיאגרמת "בועות") של המכונה.

שאלה 9

- 10 נק') א. נתון קטע קוד בשפת VHDL ששמו TAR_9A:

```
-----TAR_9A-----
```

```

PROCESS (reset,x,int,clk_50,wave3)
BEGIN
    IF (reset='0') THEN
        wave1<='1';
        wave2<='0';
        wave3<='1';
    
```

```

ELSIF (clk_50'event AND clk_50='1') THEN
    wave1<=int;
    wave2<=wave1;
    IF x='0' THEN
        wave3<=int AND wave1;
    ELSE
        wave3<=wave2;
    END IF;
END IF;
z1k<=wave3;

```

תאר באמצעות תרשים מעגל את החומרה שתתאים למימוש התנהגות ההדמיה (הסימולציה) של הקוד.

הרכיבים שעומדים לרשותך לצורך המימוש הם שערים, בוררים, דלגלים (Flip-Flops), Gated Latch, רכיבי Tri-State, נגדים, ספקי-מתח והחיווט של הרכיבים.
הערה: אין צורך להשתמש בכל הרכיבים הנזכרים לעיל.

(10 נק') ב. להלן קטע קוד בשפת VHDL ששמו TAR_9B:

```

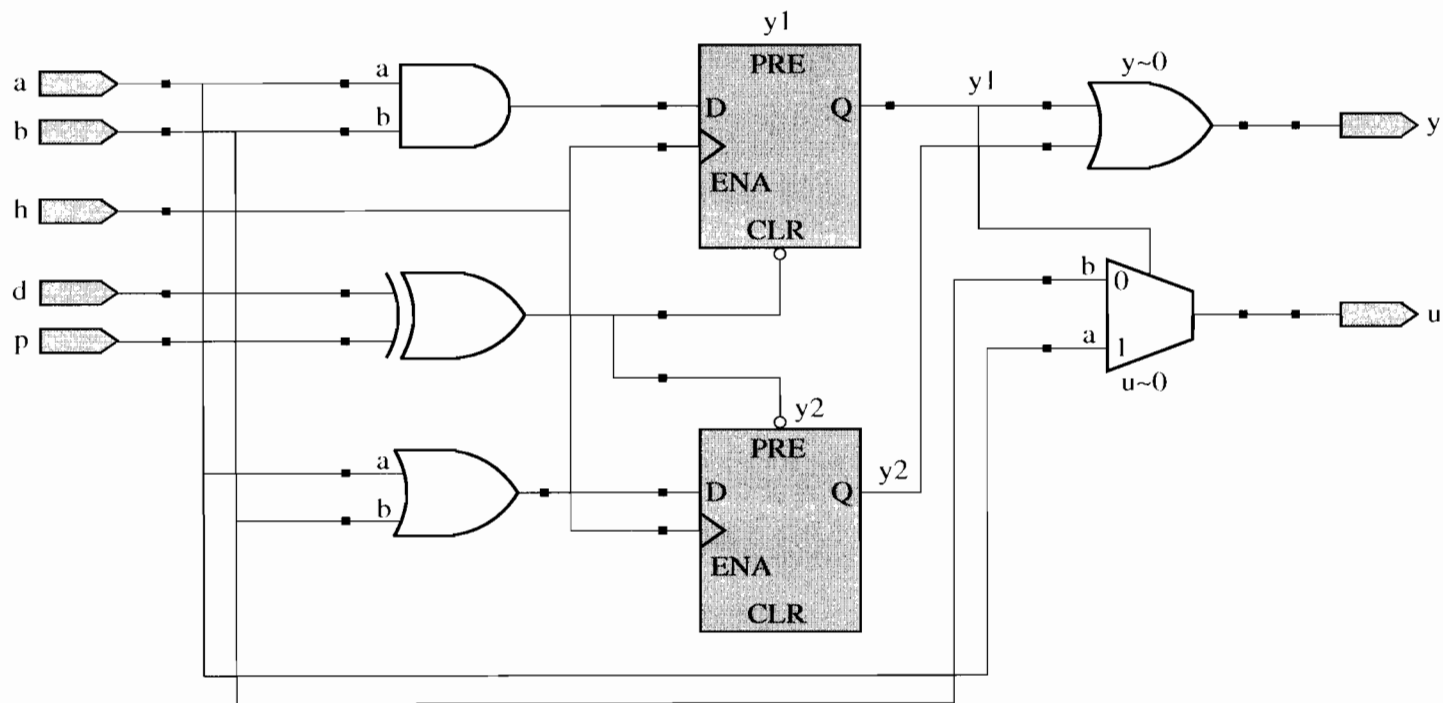
-----TAR_9B-----
PROCESS (p,q,c)
BEGIN
    IF p = q THEN
        y <= '0' ;
    ELSIF c'event AND c = '1' THEN
        y <= a OR b ;
        y <= a AND b ;
    END IF ;
END PROCESS ;
u <= a WHEN y = '1' ELSE b ;

```

תאר באמצעות תרשים מעגל את החומרה שתתאים למימוש התנהגות הקוד. הרכיבים שעומדים לרשותך לצורך המימוש הם שערים, בוררים, דלגלים (Flip-Flops), Gated Latch, רכיבי Tri-State, נגדים, ספקי-מתח והחיווט של הרכיבים.
הערה: אין צורך להשתמש בכל הרכיבים הנזכרים לעיל.

שאלה 10

באיור לשאלה 10 נתון תיאור סכמתי של מערכת חומרה.



איור לשאלה 10

(20 נק') כתוב קוד בשפת VHDL (ישות וארכיטקטורה מלאים) המתאר את המערכת. השתמש בתהליך סינכרוני אחד עבור התיאור של כל המערכת. ניתן ורצוי להשתמש גם בהליך מקבילי בארכיטקטורה.

הנחיה: השתמש רק באותות המסומנים באיור לשאלה 10.

בהצלחה!

© כל הזכויות שמורות למה"ט