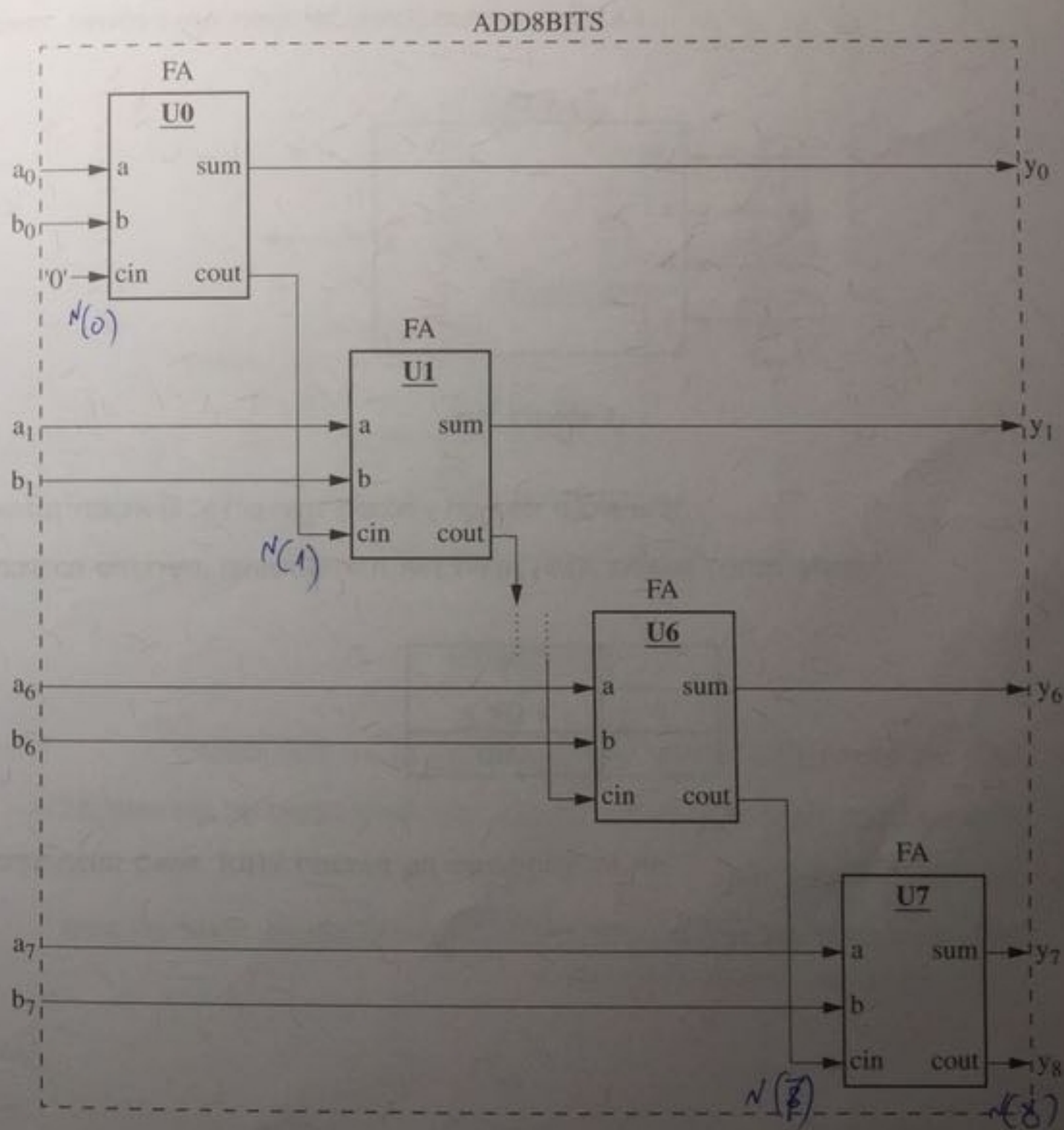


שאלה 6

באיור לשאלה 6 מתוארת מערכת המבצעת פעולת חיבור בין שני מספרים בינאריים $(a_{0:7}$ ו- $b_{0:7})$, שכל אחד מהם בעל שמונה סיביות.

החיבור מתבצע באמצעות שרשרת מסכמים מלאים (FULL ADDERS).



איור לשאלה 6

להלן קטע-קוד בשפת VHDL המתאר מסכם מלא (FA):

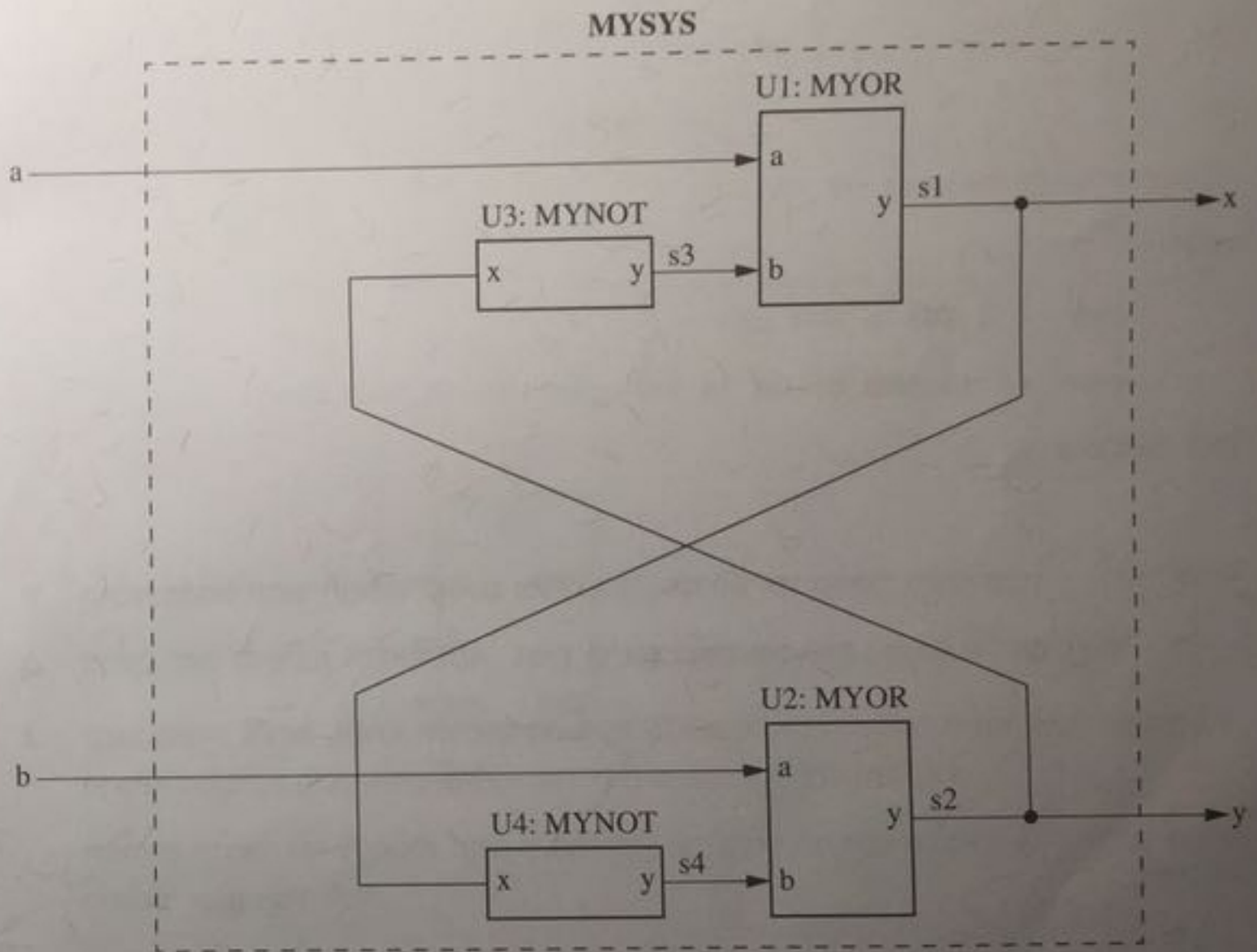
```
ENTITY FA is
    PORT ( a , b, cin: IN BIT ;
           sum , cout: OUT BIT ) ;
END FA ;

ARCHITECTURE behave of FA is
BEGIN
    sum <= a XOR b XOR cin ;
    cout <= (a AND b) OR (a AND cin) OR (b AND cin);
END behave ;
```

- א. היעזר בקטע-הקוד המתאר מסכם מלא (FA), וסרטט את המעגל הלוגי שלו.
 - ב. סרטט סמל למערכת ADD8BITS, וציין בו את המבואות ואת המוצא של המערכת.
 - ג. כתוב תכנית בשפת VHDL למימוש המערכת ADD8BITS, המבצעת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS) תוך שימוש בלולאת GENERATE.
- המימוש יתבצע לפי עקרונות התכנון ההיררכי, על בסיס המסכם המלא (FA), שקטע-הקוד המתאר אותו נתון לעיל.

שאלה 7

באיור לשאלה 7 מתוארת מערכת ספרתית בשם MYSYS.



איור לשאלה 7

להלן קטע קוד בשפת VHDL למימוש המערכת הזו לפי עקרונות התכנון ההיררכי:

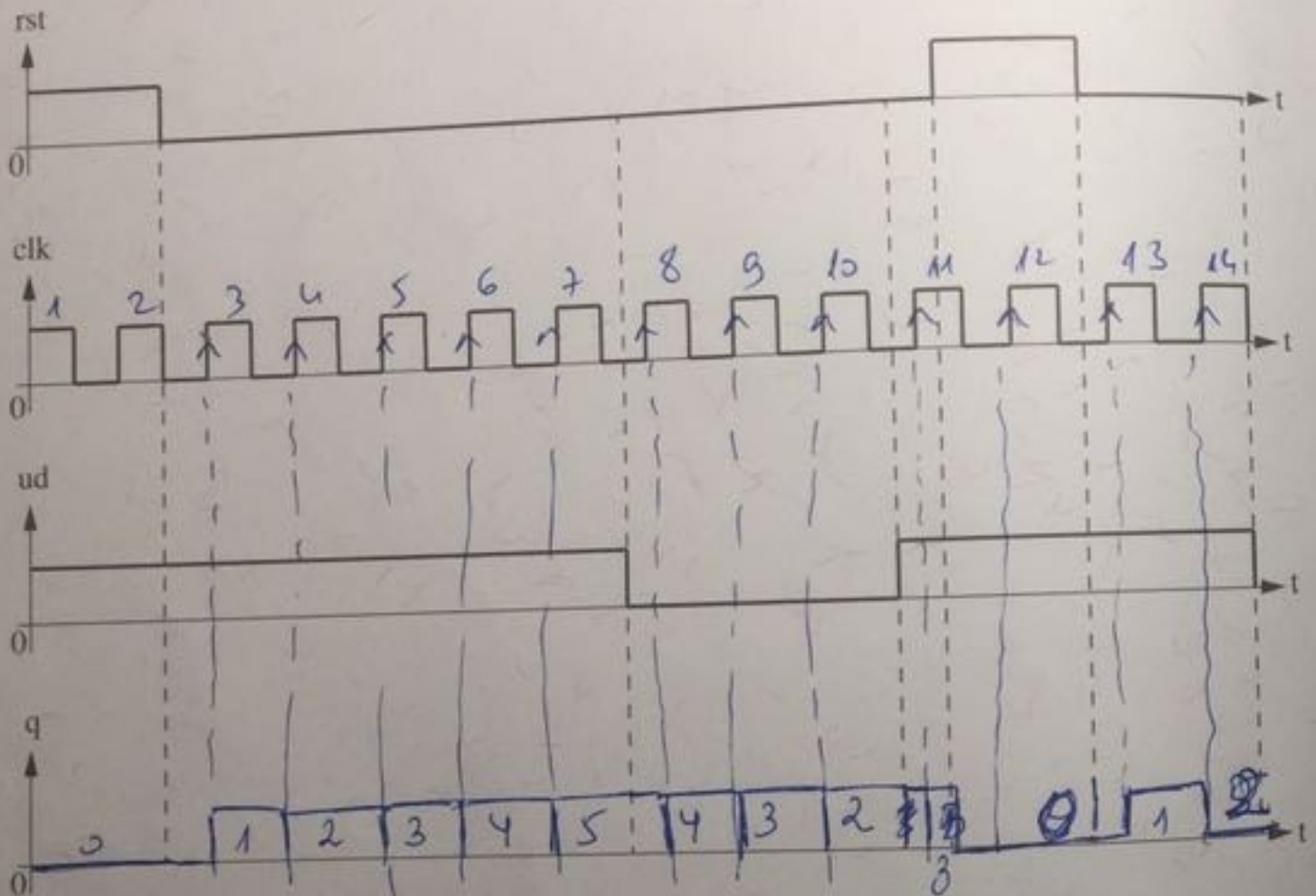
```
1. ENTITY MYSYS is
2.     PORT (a , b : IN BIT ;
3.           x , y : OUT BIT ) ;
4. END MYSYS ;
5. ARCHITECTURE STRUCT of MYSYS is
6.     COMPONENT MYOR
7.         PORT ( a,b : IN BIT ;
8.               y : OUT BIT ) ;
9.     END COMPONENT ;
10.    COMPONENT MYNOT
11.        port ( x : IN BIT ;
12.              y : OUT BIT ) ;
13.    END COMPONENT ;
14.    SIGNAL s1 , s2 , s3 , s4 : BIT ;
15. BEGIN
16.    U1 : MYOR PORTMAP ( a => _____ , b => _____ , y => _____ ) ;
17.    U2 : MYOR PORTMAP ( a => _____ , b => _____ , y => _____ ) ;
18.    U3 : MYNOT PORTMAP ( x => _____ , y => _____ ) ;
19.    U4 : MYNOT PORTMAP ( x => _____ , y => _____ ) ;
20.        x <= s1 ;
21.        y <= s2 ;
22. END STRUCT ;
```

- א. הסבר את משמעות ההוראה COMPONENT המופיעה בקטע הקוד.
ב. מהו תפקידו של כל אחד מהאותות (SIGNALS) $s1 \div s4$, המופיעים בשורה 14 בקטע הקוד?
ג. העתק למחברתך את השורות 16 ÷ 19 שבקטע הקוד, והשלם את החסר בהן.

להלן קטע-קוד בשפת VHDL המתאר מערכת ספרתית בשם MYSYSTEM.

```
1.  ENTITY MYSYSTEM is
2.      PORT ( clk , rst , ud : IN BIT;
3.              q      : OUT INTEGER RANGE 0 TO 9 ) ;
4.  END MYSYSTEM ;
5.  ARCHITECTURE behave of MYSYSTEM is
6.  BEGIN
7.      PROCESS ( clk , rst )
8.      VARIABLE cnt : INTEGER RANGE 0 TO 9 ;
9.      BEGIN
10.         IF rst = '1' THEN cnt: = 0 ;
11.         ELSIF clk'EVENT AND clk = '1' THEN
12.             IF ud = '1' THEN
13.                 IF cnt = 9 THEN cnt: = 0 ;
14.                 ELSE cnt: = cnt + 1 ;
15.             END IF ;
16.             ELSE
17.                 IF cnt = 0 THEN cnt: = 9 ;
18.                 ELSE cnt: = cnt - 1 ;
19.             END IF ;
20.         END IF ;
21.     END IF ;
22.     q <= cnt ;
23. END PROCESS ;
24. END behave ;
```

- א. הסבר את ההוראות שבשורות 3, 10 ו-11.
- ב. הסבר את משמעות התוכן המופיע בסוגריים של ההוראה PROCESS שבשורה 7.
- ג. באיור לשאלה 8 נתונים אותות המבוא של המערכת, rst , clk ו- ud , כפונקציה של הזמן. העתק את האיור למחברתך, והשלם בו, בהתאמה, את אות המוצא q כפונקציה של הזמן.



איור לשאלה 8

בהצלחה!