

פרק שני: שפת תיאור חומרה VHDL

ענה על שאלה אחת לפחות מבין השאלות 5-8 (לכל שאלה - 25 נקודות).

שאלה 5

להלן תכנית בשפת VHDL, המתארת מערכת ספרתית מסוימת.

```
1.  ENTITY EX1 IS
2.  PORT(x:IN BIT_VECTOR(3 DOWNT0 0);
3.      s:IN INTEGER RANGE 0 TO 3;
4.      y:OUT BIT);
5.  END EX1;
6.  ARCHITECTURE behave OF EX1 IS
7.  BEGIN
8.  PROCESS (x,s)
9.  BEGIN
10.     FOR i IN 0 TO 3 LOOP
11.         IF s=i THEN y<=x(i);
12.         END IF;
13.     END LOOP;
14. END PROCESS;
15. END behave;
```

א. הסבר את ההוראות שבשורות 2, 3 ו-10.

ב. העתק את הטבלה שלהלן למחברתך, והשלם את החסר בה בהתאם לתכנית הנתונה כאשר $s = 3$ ו- $x = '1101'$.

x	s	i	האם התנאי מתקיים?	y
1101	3	0		
1101	3	1		
1101	3	2		
1101	3	3		

ג. 1. סרטט סמל למערכת הזו, וציין בו את המבואות ואת המוצא של המערכת.

2. איזו מערכת ספרתית מתוארת על-ידי התכנית הזו?

שאלה 6

להלן תכנית בשפת VHDL, המתארת מערכת ספרתית מסוימת.

```
1.  LIBRARY IEEE;
2.  USE IEEE.STD_LOGIC_1164.ALL;
3.  ENTITY EX2 IS
4.      PORT(clk, rst: IN STD_LOGIC;
5.           x      : IN STD_LOGIC;
6.           y      :OUT STD_LOGIC_VECTOR (1 DOWNT0 0));
7.  END EX2;
8.  ARCHITECTURE smachine OF EX2 IS
9.      TYPE mySTATES IS (s0, s1, s2, s3);
10.     SIGNAL currentS : mySTATES;
11. BEGIN
12.     PROCESS (clk, rst)
13.     BEGIN
14.         IF rst='1' THEN
15.             currentS<=s0;
16.             y<="00";
17.         ELSIF (clk' Event AND clk = '1') THEN
18.             CASE currentS IS
19.                 WHEN s0 => IF x='1' THEN currentS<=s1;
20.                             y<="01";
21.                             END IF;
22.                 WHEN s1 => IF x='1' THEN currentS<=s2;
23.                             y<="10";
24.                             END IF;
25.                 WHEN s2 => IF x='1' THEN currentS <=s3;
26.                             y<="11";
27.                             END IF;
28.                 WHEN s3 => IF x='1' THEN currentS <=s0;
29.                             y<="00";
30.                             END IF;
31.             END CASE;
32.         END IF;
33.     END PROCESS;
34. END smachine;
```

- א. הסבר את ההוראות שבשורות 9, 12 ו-17.
- ב. הסבר מה מבצע קטע התכנית שבשורות $19 \div 21$.
- ג. סרטט את דיאגרמת המצבים של המערכת.
- ד. איזו מערכת ספרתית מתוארת על-ידי התכנית הזו?

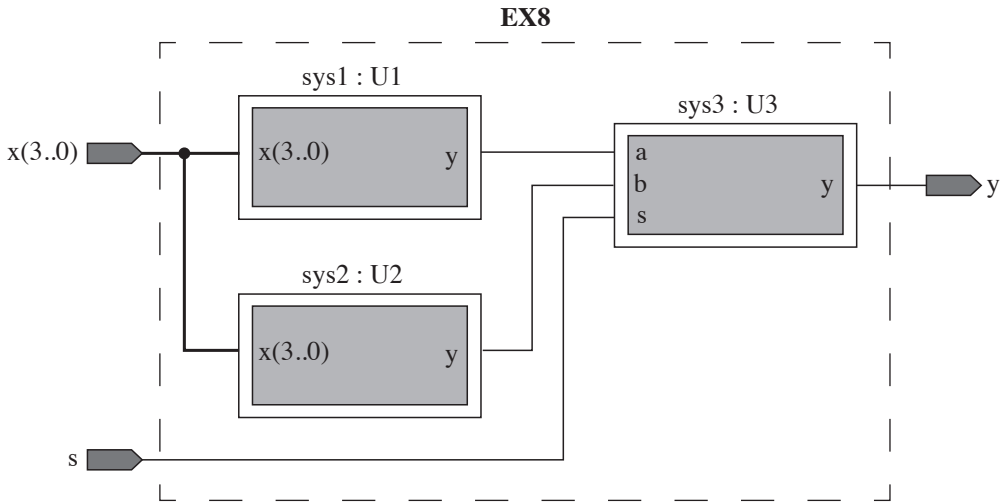
שאלה 7

כתוב תכנית בשפת VHDL למערכת ספרתית, שתבצע פעולות לוגיות בין שתי סיביות a ו- b , תוך שימוש בהוראת התניה WITH ... SELECT. למערכת יהיה מבוא־בקרה s בגודל שתי סיביות לבחירת הפעולה הלוגית שתבצע בין הסיביות a ו- b :

- כאשר $s = "00"$ – המוצא מקבל את הערך של פעולת OR בין הסיביות a ו- b .
- כאשר $s = "01"$ – המוצא מקבל את הערך של פעולת AND בין הסיביות a ו- b .
- כאשר $s = "10"$ – המוצא מקבל את הערך של פעולת XOR בין הסיביות a ו- b .
- כאשר $s = "11"$ – המוצא מקבל את הערך של פעולת NAND בין הסיביות a ו- b .

שאלה 8

באיור לשאלה 8 מתואר המבנה הסכמתי של המערכת הספרתית EX8 הכוללת שלוש מבניות: sys1 , sys2 , sys3 .



איור לשאלה 8

להלן קוד בשפת VHDL עבור כל אחת מהמבניות:

```
ENTITY sys1 IS
    PORT(x : IN BIT_VECTOR(3 DOWNT0 0);
          y : OUT BIT);
END sys1;
ARCHITECTURE behave OF sys1 IS
BEGIN
    y<=(x(0) AND x(1)) OR (x(2) AND x(3));
END behave;
```

```
ENTITY sys2 IS
    PORT(x : IN BIT_VECTOR(3 DOWNT0 0);
          y : OUT BIT);
END sys2;
ARCHITECTURE behave OF sys2 IS
BEGIN
    y<=(NOT x(0) AND x(1)) OR (x(2) AND NOT x(3));
END behave;
```

```
ENTITY sys3 IS
    PORT(a, b, s : IN BIT;
          y : OUT BIT);
END sys3;
ARCHITECTURE behave OF sys3 IS
BEGIN
    y<=a WHEN s='0' ELSE b;
END behave;
```

- א. הסבר מה מבצעת כל אחת מהמבניות sys1 , sys2 , sys3 .
- ב. כתוב תכנית (TOP LEVEL) בשפת VHDL למימוש המערכת EX8 , בהתאם לעקרונות התכנון ההיררכי (שימוש בפקודות COMPONENT ו־PORT MAP).

בהצלחה!

זכות היוצרים שמורה למדינת ישראל.
אין להעתיק או לפרסם אלא ברשות משרד החינוך.