

פרוט נושאים בקורס: "מערכות ספרתיות"

1. מבוא למערכות ספרתיות

הגדרת מערכת ספרתית (Digital System), תכונות מערכת ספרתית לעומת מערכת תקבילית (Analog System), אותות (Signals) ספרתיים ואופייניים ביישומים שונים, היתרונות של מערכת ספרתית בהשוואה למערכת תקבילית.

2. הצגה ספרתית של מידע

2.1 שיטות ספירה

- א. ספירה עם מספרים בבסיסים שאינם עשרוניים: בינארי (2), אוקטלי (8) והקסדצימלי (16). הכרת מושגים: מספר (Number) וספרה (Digit).
- ב. הצגת מספרים חסרי סימן (שלמים ושבירים) בבסיס העשרוני ובבסיסים שאינם עשרוניים כחזקות של הבסיס. דגש על הבסיס הבינארי (2), אוקטלי (8) והקסדצימלי (16).
- ג. הכרת מושגים: Bit (Least Significant Digit) LSD, Bit (Most Significant Digit) MSD, Bit (Least Significant Bit) LSB ו Bit (Most Significant Bit) MSB. אפסים מובילים בחלק השלם (Leading Zeroes) ואפסים מזדנבים (Trailing Zeros) בשבר.
- ד. המרת מספרים (שלמים ושבירים) מבסיס לא עשרוני לעשרוני ומבסיס עשרוני לבסיסים לא עשרוניים.
- ה. המרה ישירה של מספרים שלמים ושבירים בין הבסיסים 2, 8 ו 16.
- ו. ביצוע פעולות חשבוניות פשוטות (חיבור, חיסור, כפל וחילוק) בבסיסים שונים. דגש על הבסיס הבינארי.
- ז. חילוק שבו מתקבלת שארית או שבו מבצעים חישוב של שבר בינארי. עגול התוצאה של השבר. קבלת שבר בינארי ושבר מתמשך.
- ח. חישוב של פעולות במערכת שמוגבלת במספר הספרות שלה. ה. modulus של המערכת וגלישה של התוצאה, והמספר המכסימלי שמערכת שמוגבלת במספר הספרות שלה מסוגלת להציג. דגש על מערכת שפועלת בבסיס (2). ביצוע פעולת המשלים המוקטן לבסיס (היפוך כל הסיביות של המספר הבינארי), והמשלים המלא לבסיס של מספר.
- ט. הצגת מספרים מכוונים (Signed) – כלומר חיוביים ושלייליים בשיטות מקובלות: שיטת הסימן וגודל (Sign & Magnitude), שיטת המשלים לאחד (1's Complement), שיטת המשלים ל-2 (2's Complement) ושיטת ההיסט הבינארי (Binary Offset). היתרונות והחסרונות של כל אחת מהשיטות, מעבר משיטה לשיטה, ביצוע פעולות חשבוניות של חיבור וחסור בשיטות אלו.
- י. טווחי מספרים מסוג Signed ו- Unsigned ברוחב שונה ומתן דוגמאות לסוגי מידע מעולם התכנות בשפת C (int ברוחב 16, 32 ו 64 בגרסאות unsigned ו- signed וכן ברוחב 8: unsigned char ו- signed char).
- יא. רשות: ייצוג מספרים בשיטת הנקודה הצפה (Floating Point), המוגבלות של שיטות ייצוג בנקודה קבועה (Fixed Point) והצורך לייצג מספרים בעלי תחום רחב בשיטת נקודה צפה. נרמול, ביצוע פעולות חשבוניות: כפל, חילוק, חיבור וחסור בנקודה צפה. נקודה צפה לפי תקן IEEE-754. הערה: נושא הנקודה הצפה יכול להילמד בסימסטרים מאוחרים יותר.

פרוט נושאים בקורס: "מערכות ספרתיות"

2.2 צפנים (קודים) בינאריים

- א. סוגי צפנים בינאריים: צופן מספרי וצופן אלפאנומרי, צופן משקלי ולא משקלי.
- ב. צופן GRAY ומעבר בינו ובין ייצוג בינארי.
- ג. צופן BCD ומעבר בינו ובין ייצוג עשרוני ובינארי.
- ד. קוד ASCII ושימושיו.
- ה. דוגמאות לצפנים בסיסיים לזיהוי ותיקון שגיאות.

3. יסודות האלגברה הבוליאנית

3.1 שימוש באלגברה בוליאנית בלוגיקה סימבולית ותורת הקבוצות

- א. מושג הפסוק הלוגי (Statement) וערכי האמת שלו, יצירת פסוקים לוגיים מורכבים באמצעות אופרטורים בוליאניים.
- ב. מושגים: הקבוצה, הקבוצה הריקה ומרחב הדיון (הקבוצה המלאה). פעולות על קבוצות: איחוד, חיתוך ומשלים. הדגמה באמצעות דיאגרמות Venn.

3.2 מושגים ומשפטים בסיסיים באלגברה בוליאנית

- א. הגדרת הפעולות הבוליאניות הבסיסיות: AND, OR ו NOT.
- ב. משתנה וקבוע בוליאני, ביטוי בוליאני וסדר ביצוע פעולות בביטוי בוליאני.
- ג. משפטי יסוד באלגברה בוליאנית.
- ד. עקרון הדואליות באלגברה בוליאנית.
- ה. הוכחת זהויות באמצעות משפטים קודמים ובאמצעות בדיקת כל האפשרויות בטבלת אמת.

3.3 צורות שונות להצגה ומימוש של פונקציה בוליאנית

- א. מכפלה מלאה (MinTerm) וסכום מלא (MaxTerm), ביטויים קנוניים, סכום מכפלות מלאות ומכפלת סכומים מלאים. ייצוג של ביטויים קנוניים $(\sum, \prod)$.
- ב. מעבר מטבלת אמת לביטויים קנוניים ולהפך.
- ג. מימוש פונקציה לוגית באופן קנוני מטבלת את רגילה באמצעות שערי AND, OR ו NOT.
- ד. שימוש בטבלאות אמת מסוגים שונים: טבלת אמת הכוללת Don't Care או Φ בצד ימין של הטבלה וקבלת דרגת חופש במימוש. טבלאות אמת הכוללות צירופים אדישים Φ או else בצד שמאל של הטבלה וקבלת הפונקציה מתוך הטבלה. טבלאות אמת עם אותיות בצד ימין של הטבלה (Truth Table Entered Variables) וכתובה של הפונקציה מתוך הטבלה. טבלאות אמת דו ממדיות (כהקדמה למפות קרנו).
- ה. מימוש פונקציה לוגית לבעיה לוגית מילולית ללא שימוש בטבלת אמת.
- ו. רישום פונקציה לוגית באמצעות דיאגרמת סולם (Ladder Diagram) ותרשימי זרימה.

פרוט נושאים בקורס: "מערכות ספרתיות"

- 3.4 צמצום פונקציות לוגיות**
- א. שימוש בכללי צמצום באופן אלגברי. הבעייתיות של צורת צמצום זו.
 - ב. ההבדל בין צמצום (Reduction) ובין מינימיזציה (Minimization).
 - ג. שימוש במפות קרנו (2, 3, 4, 5 ו 6 משתנים) לקבלת סכום מכפלות מינימלי או מכפלת סכומים מינימלית.
 - ד. שימוש בפונקציה ההפוכה בתור אמצעי צמצום ובחירה של הקוטביות האופטימלית.
 - ה. ניצול דרגת החופש שנוצרת כתוצאה מהצירופים האדישים (Don't Care) במפת קרנו לקבלת צמצום יעיל.
 - ו. צמצום באמצעות מפת קרנו שבה מוכנסים משתנים לטבלה (Map Entered Variables).
 - ז. שיתוף בין משאבים (Resource Sharing) בתור אמצעי צמצום כאשר יש גישה למרכיבים הפנימיים של כמה פונקציות וכאשר אין גישה כזו. ביצוע צמצום קבוצתי (Group Reduction) לכמה פונקציות.

4. מימוש מעשי של פונקציות לוגיות

- 4.1 התיכון לוגי באמצעות שערים שונים**
- א. הפעולות הלוגיות הבסיסיות (AND, OR ו NOT) כמערכת שלמה. שערי OR ו NOT כמערכת שלמה, שערי AND ו NOT כמערכת שלמה.
 - ב. שערים אחרים כמערכת שלמה.
 - ג. מימוש מערכת באמצעות שערי NAND בלבד (מסכום מכפלות).
 - ד. מימוש מערכת באמצעות שערי NOR בלבד (ממכפלת סכומים).
 - ה. פעולת ה-XOR. פעולות AND ו XOR כמערכת שלמה.
 - ו. חוקים שונים שקשורים לפעולת ה-XOR ויישומים שונים כמו: גילוי זוגיות, הפיכת קוטביות והצפנה.
 - ז. מעבר בין אופרטורים של אלגברה בוליאנית ואופרטורים של אלגברה שכוללת AND ו XOR ולהפך.

- 4.2 תיכון לוגי שמתחשב בגורם הזמן**
- א. זמני השהיית מעבר tpd (Propagation Delay Time). קבלת ערכים מדפי יצרן: Maximum, Minimum ו Typical. התייחסות לפולסים שהם קצרים יותר מזמן השהיית המעבר: המודל שמעביר את הפולסים (Transport) והמודל שאינו מעביר פולסים אלו (Inertia).
 - ב. ציור דיאגרמת זמנים של מערכת ספרתית בהתחשב בזמני השהיית המעבר של האותות דרך השערים.
 - ג. היווצרות של Hazard סטטי ו Hazard דינמי ביציאה של מערכת צירופית.
 - ד. מניעת Hazard סטטי ביציאה של מערכת צירופית שממומשת בצורת סכום מכפלות או מכפלת סכומים והסתייעות במפת קרנו.

5. הכרת יחידות צירופיות שונות

5.1 מערכות צירופיות אריתמטיות

- א. מימוש פעולות חשבונית (למשל חיבור), והצורך ליצור יחידות אריתמטיות שהן מודולריות.
- ב. מחבר מודולרי לסיבית אחת (One bit adder או Full Adder).
- ג. מחבר מודולרי בעל רוחב גדול יותר: למשל 4 Bit Adder. חיבור מחברים מסוג זה לקבלת מחבר בכל גודל רצוי. החשת תהליך החיבור Carry Look Ahead.
- ד. חיבור או חיסור של מספרים מכוונים (חיוביים ושליילים Signed) שמיוצגים בשיטת המשלים ל-2 באמצעות שימוש במחבר מקבילי (למשל 4 bit adder) ושערי XOR. התייחסות לבעיית הגלישה.
- ה. משווה (Comparator) וחיבור בין משווים (למשל ברוחב 4) לקבלת משווה בעל רוחב כל שהוא. יצירת משווה עם סימן (Signed) באמצעות משווה חסר סימן והמרה בין 2's Complement ו-BO (Binary Offset).
- ו. הצגת דוגמה ליחידה אריתמטית לוגית – ALU (Arithmetic Logic Unit).

5.2 רכיבי ניתוב וקידוד מידע

- א. בורר Multiplexer ומפלג De-Multiplexer.
- ב. הרחבה של הרכיבים הנ"ל באמצעות חיבור שלהם במבנה של "עץ".
- ג. צמצום של הרכיבים הנ"ל (שימוש בחלק מהרכיב) לקבלת רכיב קטן יותר.
- ד. הרחבה של ה- Demultiplexer באופן דו ממדי. (שימושי על ידי יצרני רכיבי זיכרון).
- ה. שימוש ברכיב Multiplexer למימוש של פונקציה לוגית.
- ו. שימוש ב- De-Multiplexer למימוש של מספר פונקציות לוגיות. שימוש בשער OR עבור פונקציות שבהן יש מספר קטן של צירופי 1 ושימוש בשער NOR במקרה של פונקציות שבהן יש מספר קטן של צירופי 0. מימוש פונקציות לוגיות באמצעות רכיבי De-Multiplexer שיש להן יציאות שהן Active-Low באמצעות שער NAND או AND בהתאמה.
- ז. מפענח (Decoder) כמתרגם בין קוד בינארי וקוד ישיר. הזהות בין Decoder שיש לו כניסת אפשר (Enable) ו- De-Multiplexer. ה- Priority Encoder כמתרגם הפוך מקוד ישיר לקוד בינארי.
- ח. הכרת רכיבים מעשיים מדפי היצרן.
- ט. ה- Priority Encoder כמתרגם מקוד ישיר לקוד בינארי. שרשרת של כמה רכיבים לקבלת רכיב גדול יותר.

5.3 רכיבים בעלי יציאות מתנתקות

- א. מתח נמוך ומתח גבוה שמייצגים 0 לוגי ו-1 לוגי ביציאה של רכיב ספרתי רגיל. הסיבה לאיסור החיווט בין שתי יציאות רגילות.
- ב. מתח נמוך המוגדר כ-0 לוגי ונתק (High Z) המוגדר כ-1 לוגי ביציאה של רכיב מסוג Open Collector או Open Drain.

פרוט נושאים בקורס: "מערכות ספרתיות"

הערה: ההתייחסות לזוג הטרנזיסטורים הפנימיים ביציאה (שמחוברים ל- VCC ו- GND בהתאמה), תעשה בפרק זה כאל מתגים אידיאליים.

- ג. הצורך בחיבור של נגד Pull-Up ביציאה של מסוג Open-Collector או Open-Drain וחיבור ההדק השני שלו ל- VCC על מנת לאפשר העברתו לכניסה של רכיב.
הערה: לא יעשה בחלק זה בקורס חישוב כמותי כל שהוא של ערכו של הנגד ויש לתת הסבר איכותי בלבד. חישוב אי-שוויון על ערכו של הנגד, יעשה במקצוע אלקטרוניקה ספרתית ובמעבדה הספרתית.
- ד. יצירת לוגיקה על ידי פעולת חיווט (Wired Logic) בין שתי יציאות מסוג Open-Drain או Open-Collector.
- ה. יצירת BUS משותף באמצעות רכיבי Open-Collector או Open-Drain.
- ו. רכיבי Tri-State ויצירה של BUS משותף באמצעותם.
- ז. הפיכת Tri-State Buffer ל- Open-Drain Buffer.
- ח. שימוש ברכיבי Tri-State כבורר.

5.4 רכיב צירופי מתוכנת - ROM

- א. רכיבי ROM והמימוש הפנימי שלהם באמצעות בורר או decoder ומטריצה מתוכנתת.
- ב. מושג האורך והרוחב של הזיכרון. האפשרויות לחיבור רכיבי ROM עם decoder, להגדלת האורך של הזיכרון והגדלת הרוחב של רכיבי ROM.
- ג. סקירת טכנולוגיות תכנות מטריצת החיבורים של ה- ROM (איזכור קצר בלבד בכמה דקות): UV-EPROM, EEPROM, PROM, FLASH-ROM.
- ד. תזמון רכיבי ROM: זמני גישה, זמני התחברות לערוץ וזמני התנתקות מהערוץ.
- ה. סקירה קצרה על מבנה מתוכנת PLA ו- PAL שאינם קנוניים. השוואה ויתרונות וחסרונות בהשוואה לרכיבי ROM.
- ו. שימוש בצמצום קבוצתי (Group Reduction) ברכיבי PLA לעומת צמצום נפרד לכל פונקציה ברכיבי PAL.
- ז. מבנה תאי I/O ברכיבי PAL ו PLA. שימוש בתא I/O ככניסה, כיציאה עם משוב וכחדק I/O דו כיווני.
- ח. הכרת שיטות מקובלות לסימון רכיבי PLA (מספר-אותיות-מספר).
- ט. ניצול הקוטביות החיובית והשלילית או המתוכנת של היציאה של רכיב PAL או PLA בכדי להתגבר על מחסור ב- Product Terms.
- י. ניצול חיבורי משוב בהדקי I/O ברכיבי PAL ו PLA בכדי להתגבר על מחסור במכפלות באמצעות יצירת כמה מעברים דרך הרכיב (Multi-Pass). ההשפעה על זמן השהיית המעבר tpd ובזבוז הדקים ברכיב.

6. רכיבי זיכרון בסיסיים ורכיבים סינכרוניים שונים

6.1 מושגים ועקרונות כלליים במערכות עקיבה

- א. מערכת צירופית בהשוואה למכונת מצבים (מבנה של משוב, והתנהגות של זיכרון או מרוץ).
- ב. מודל בסיסי של מכונת מצבים אסינכרונית.
- ג. מודל בסיסי של מכונת מצבים סינכרונית ויתרונותיה.

6.2 התקני זיכרון בסיסיים ודלגלים (Flip-Flops)

- א. מבנה ועקרון פעולה של נועל - Latch.
- ב. טבלת מצבים וטבלת מעברים של התקני זיכרון.
- ג. נועל מבוקר שעון Gated Latch או Transparent Latch או D-Latch. הצגת הבעייתיות של מה שקורה אם סוגרים סביב רכיב זיכרון כזה משוב צירופי, כאשר אות שעון כולל פולס רחב שגורם להיווצרות מרוצים.
- ד. סוגי פליפ-פלופים: SR, D, T ו-JK, טבלת מצבים וטבלת עירור, מבנה וסימון לוגי.
- ה. דלגלג אדון ועבד (Master Slave) ומגבלות השימוש בו וחסרונותיו לעומת דלגלג דרבון קצה (Edge Triggered).
- ו. מבואות ישירים של דלגלים: Clear ו Preset.
- ז. אילוצי תזמון של דלגלים: זמן הכנה (Setup Time), זמן החזקה (Hold Time).
- ח. התוצאה של אי קיום אילוצי התזמון הנ"ל וקבלת החטאות ו – Meta-Stable states (דיון איכותי בלבד מבלי להיכנס לחישובים הסתברותיים).
- ט. אילוצי תזמון נוספים של דלגלים: תדר שעון מרבי (f_{max}) וזמני פולס שעון מינימליים במתח יציאה נמוך וגבוה, זמן השהיית מעבר מאות השעון (t_{co}), זמן התאוששות מפעולה א-סינכרונית (Recover Time).
- י. חישוב תדר שעון מכסימלי (f_{max}) של במערכת סינכרונית בהסתמך על פרמטרי התזמון של הרכיבים של המערכת: זמן השהיית המעבר של הדלגלים (t_{co}), זמן השהיית המעבר של המערכת הצירופית (t_{pd}) וזמן הכנה (t_s) של הדלגלים.
- יא. חישוב של תדר שעון מכסימלי של מערכת עם דלגלים מסוג Master-Slave והתלות ב – Duty-Cycle של אות השעון.
- יב. חישוב t_h ו t_s של מערכת סינכרונית בהסתמך על פרמטרי התזמון של הרכיבים של המערכת: זמן השהיית המעבר (המכסימלי והמינימלי) של המערכת הצירופית (t_{pd}) וזמן הכנה (t_s) ו זמן ההחזקה (t_h) של הדלגלים בהתאמה.
- יג. חישוב t_{co} המכסימלי של מערכת סינכרונית בהסתמך על פרמטרי התזמון של הרכיבים של המערכת: זמן השהיית המעבר המכסימלי של המערכת הצירופית (t_{pd}) ושל הדלגלים (t_{co}).

פרוט נושאים בקורס: "מערכות ספרתיות"

6.3 אוגר – Register

- א. מבנה ועקרון פעולה של אוגרים מקביליים (Parallel) מסוגים שונים.
- ב. מבנה ועקרון פעולה של אוגר הזזה (Shift Register).
- ג. בעיות זמנים אופייניות של אוגר הזזה (אי-קיום זמן החזקה פנימי מספיק כשאין מערכת צירופית פנימית) ובעיות תזמון דומה בחיבור בין שני אוגרים.
- ד. אוגר כללי (אוניברסלי): הזזה ימינה, הזזה שמאלה, טעינה במקביל ושמירת מצב. מבנה של אוגרים כלליים (הבנויים מדלגלים ובוררים), חיבור בין אוגרים כלליים, חיבור אוגרים לערוץ (BUS), ואיפוס אסינכרוני.

6.4 מונה (Counter)

- א. מונה א-סינכרוני בינארי בעל יחס חלוקה שהוא חזקה שלמה של 2. מבנה ועקרון פעולה, התחשבות בזמני השהייה (tco) של הפליפ-פלופים והיווצרות מצבי מעבר שגויים, חישוב תדר השעון המכסימלי כאשר המונה מופעל כמחלק תדר (Scalar) וכסופר מאורעות. תיכון מונה א-סינכרוני כך שיחס החלוקה שלו יהיה שונה מחזקה שלמה של 2 בשיטת המשוב (גילוי מצב N וקפיצה ל-0) ובשיטת החסימה. הדגשת החסרונות הגדולים של מונה אסינכרוני ויתרונות מונה סינכרוני על-פני אסינכרוני.
- ב. תיכון של מונה סינכרוני בעל יחס חלוקה כל שהוא ללא כניסות סינכרוניות (מונה אוטונומי) ותיכון של מונה סינכרוני בעל כניסות סינכרוניות. הכרת כניסות סינכרוניות: כניסה ששולטת כל כיוון הספירה, כניסה שמאפשרת את הספירה (Count Enable), כניסה שמאפסות את המונה באופן סינכרוני, כניסה שמאפשרת טעינה במקביל של המונה. איפוס אסינכרוני של המונה.
- ג. חיבור סינכרוני בין מונים: שימוש בכניסות: CEP (אפשר מקבילי) CET (אפשר מטפטף) שימוש ביציאה TC (Terminal Count). מונה סינכרוני בינארי (4 bit counter) ומונה BCD. חיבור אסינכרוני בין מונים.

7. מכונת מצבים ובקרים

7.1 מכונת מצבים

- א. שלבי התיכון של מכונת מצבים סינכרונית באופן כללי (ולא מקרים פרטיים שנדונו עד לשלב זה): דיאגרמת מצבים, טבלת מצבים, הקצאת מצבים, טבלת מעברים, בחירת פליפ-פלופים, טבלת עירור ומימוש המערכת הצירופית.
- ב. מכונת Mealy, מכונת Moore, מכונה עצמאית (אוטונומית) - ההבדלים במבנה בין המכונות הנ"ל וההשלכות של ההבדלים במבנה על אספקטים מעשיים מאוד חשובים של שימוש במכונות מהסוגים הנ"ל (היווצרות מכונה אסינכרונית פרוזיטית, תדר מקסימלי, Latency וסינון הפרעות). מכונת Moore ישירה (היציאות של המכונה מגיעות ישירות מיציאות של הפליפ-פלופים) - יתרונותיה וחסרונותיה.
- ג. חזרה על חישוב פרמטרי התזמון של המכונה מתוך פרמטרי התזמון של מרכיביה: קצב שעון מכסימלי, זמן הכנה וזמן החזקה של המכונה, זמני השהיית מעבר משינוי בכניסה הצירופית ומשינוי בכניסת השעון של המכונה.
- ד. בעיות שנובעות מכניסות שאינן מסונכרנות לשעון: היווצרות MetaStable states. והכרת הדרכים להקטין את ההסתברות של היווצרות כשל במערכת כתוצאה מכך, מניעת החטאה כתוצאה מפירוש לא אחיד של כיסה שאינה מסונכרנת על ידי הדלגלים השונים של המכונה.
- ה. מתקפי יציאה (Output Spikes) והכרת דרכים שונות למניעת השפעה שלהם על מערכות שמוזנות מהיציאות של המכונה.

פרוט נושאים בקורס: "מערכות ספרתיות"

7.2 בקרים

- א. הנוחות של תכן מערכת באמצעות חלוקתה לשני חלקים: Data-Path (מסלול הנתונים) והבקר - Controller (האלגוריתם). הצגת דוגמה או דוגמאות.
- ב. הסבר על הבקר - שהוא מכונת מצבים שבדרך כלל יש לה מצד אחד הרבה כניסות אך מצד שני התלות של המעברים ממצב למצב אינה תלויה במספר גדול של כניסות. יש להדגיש ללומדים, שרוב מכונות המצבים בעולם המעשי ובפרוייקטים הם בעצם בקרים!
- ג. כתיבת דיאגרמת מצבים שבה תנאי המעבר ממצב למצב אינם ביטויים קנוניים (או צירופי כניסות), אלא ביטויים כל שהם (כלומר פונקציות), ובדיקה שאין סתירות בין תנאי המעבר ממצב למצב, כלומר בדיקה שכל תנאי המעבר ממצב למצב הם זרים אחד לשני (הכפלה שלהם 0) ובדיקה שהתנאים ממצבים (כלומר סכום 1). חשוב להסביר שרוב דיאגרמות המצבים בעולם האמיתי נראות כך!
- ד. תיכון של בקרים - באמצעות טבלאות מצבים וטבלאות מעברים שבהן יש הרבה כניסות ותנאי המעבר ממצב למצב אינם ביטויים קנוניים, ושימוש במפות קרנו עם משתנים (Map entered variables) לצמצום המערכת הצירופית.
- ה. כללי תכן סינכרוני. הדגשה של חשיבות הנושא בכל תכן מודרני שנעשה עם רכיבים מתוכנתים מדרניים.
- ו. הגדלת תדר שעון מקסימלי של מערכת על חשבון Latency. המושג Pipeline ופיצול מערכת צירופית איטית לדרגות מסונכרנות עד להשגת תדר שעון נדרש.

7.3 מימוש מכונת מצבים באמצעות רכיבי מתכנתים שונים

- א. מימוש מכונת מצבים באמצעות ROM + Register. מימוש בקרים בשיטה מיקרו-מתוכנתת (ROM + מונה) תוך צמצום אורך ה-ROM.
- ב. הכרת ארכיטקטורות של רכיבים מיתכנתים מסוג PAL ו PLA שאינם צירופיים. הכרת רכיבים מיתכנתים שיש להם Macrocell (תא יציאה גמיש) כמו למשל 22V10 רכיבים אחרים. מימוש מכונת מצבים באמצעות רכיבי PAL ו PLA. צורת המימוש של מכונת Moore ו Mealy עם רכיבים מסוג זה.
- ג. מבנה CPLDs

7.4 ארכיטקטורות FPGAs והקצאת מצבים One-Hot

- א. מבנה של רכיבי FPGAs שכולל מערכת צירופית שמבוססת על LUT (Lookup Table) שהוא זיכרון RAM בעל Fan-In נמוך (בדרך כלל 4).
- ב. הבנת צוואר הבקבוק מבחינת כתיבת משוואות העירור שממומשות על רכיבי LUT שמוגבלות ב-Fan-In שגורם לשירשור יחידות LUT שגורם להורדת תדר השעון המקסימלי.
- ג. מימוש מכונת מצבים שהקצאת המצבים שלה היא One-Hot. כתיבת משוואות העירור ומשוואות היציאה, ישירות מתוך התבוננות בדיאגרמת המצבים של המכונה וללא שום טבלאות.
- ד. הצגת היתרונות והחשיבות הגדולה של בחירה בהקצאת מצבים One-Hot בתיכון של מכונת מצבים שממומשת עם ארכיטקטורה שמבוססת על LUTs: קבלת Fan-In נמוך (ותדר גבוה), היכולת לחזות מראש מהם המעברים שיוצרים את צוואר הבקבוק במהירות של המכונה והיכולת להקטין את ה-Fan-In על-ידי פיצול מצבים באמצעות תוספת מצבים על חשבון Latency.
- ה. סקירה על משאבי חומרה ייעודיים שונים שנפוצים ברכיבים מתוכנתים גדולים ושלאפשרים לממש ביטולות ובמהירות גבוהה פעולות אריתמטיות כמו: חיבור וכפל, יחידות זיכרון DPRAM שמאפשרים לממש רכיבי זיכרון מסוגים שונים ובעלי Fan-In

פרוט נושאים בקורס: "מערכות ספרתיות"

גבוה וכן אורך כל שהוא. רכיבי PLL שמאפשרים הכפלת תדר ונעילת תדר. השימוש במשאבי החומרה הייעודיים הנ"ל נעשה באמצעות שימוש ב-Macros או ב-LPMs של יצרן הרכיב. בחירה של מתחים של הדקי I/O, ועבודה עם מתחים שונים ובחירה של התקני I/O להדקים, חיווט היציאה כ- Open Drain או Tri-State ושילוב של נגד Pull-Up פנימי ברכיב המתוכנת.

8. זכרונות לכתובה וקריאה (RAM)

- א. מבנה RAM סטטי: תא הזיכרון הבסיסי, מערכת גישה אל מערכת תאי זיכרון בארכיטקטורה דו-ממדית. מושגי האורך והרוחב של הזיכרון, חיווט הרכיב לערוץ מידע (Data BUS). כניסות הכתובת, כניסת אפסור הרכיב, כניסת אפסור הכתיבה, כניסת אפסור היציאה, ביצוע פענוח כתיבה וקריאה מהרכיב.
- ב. צורת החיבור להגדלת האורך והרוחב של הזיכרון, טבלת מיפוי כתובות.
- ג. אילוצי תזמון: זמן גישה, זמן ניתוק מהערוץ, זמן חיבור לערוץ, זמן הכנה של המידע לפני סוף פולס הכתיבה, זמן החזקה של המידע אחרי סוף פולס הכתיבה.
- ד. זיכרונות RAM בעלי משטר עבודה סינכרוני (לעומת אסינכרוני) ונוחות העבודה איתם ברכיבים מתוכנתים. זיכרונות RAM דינמיים, ביצוע פעולות: כתיבה, קריאה ורענון. רכיבי SDRAM.
- ה. זיכרונות עם הדקי I/O נפרדים ונוחות העבודה איתם ברכיבים מתוכנתים (לעומת הדקי I/O משותפים - כמו ברכיבי מיקרו).
- ו. זיכרונות מיוחדים - Dual Port RAM, זיכרונות במבנה FIFO ו-LIFO.

ספר לימוד שמכסה את המחצית הראשונה של הקורס: "עמוס זסלבסקי", "מערכות ספרתיות חלק א מערכות צירופיות", הוצאת שורש, 2011.