

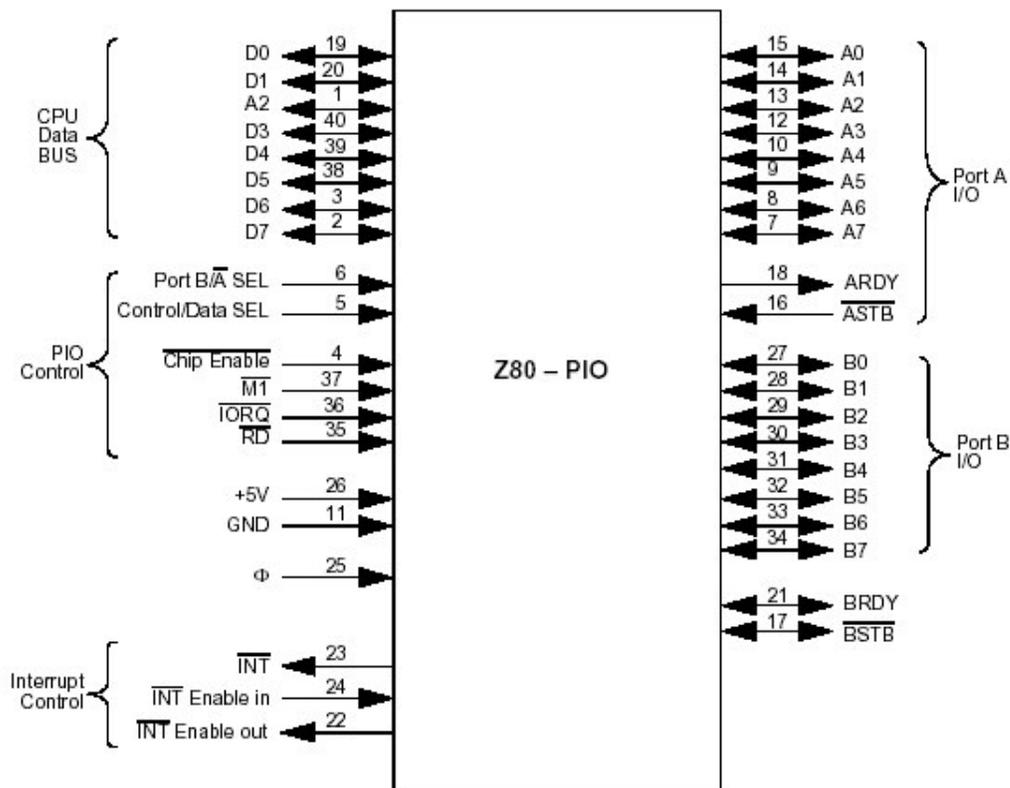
2.8 Συσκευές Υποστήριξης του Z80

Τα περιφερειακά του 8080A μπορούν να χρησιμοποιηθούν και στον Z80 με εξαίρεση τον 8259 priority interrupt controller και το TMS 5501 multifunction device.

Τα περιφερειακά του 8085: 8155, 8355 και 8755 είναι δύσκολο να συνδεθούν στον Z80. Επίσης δεν είναι πρακτική η χρήση των περιφερειακών του 6800 διότι απαιτούν συγχρονισμό από σήμα ρολογιού του οποίου τα χαρακτηριστικά δεν μπορούν να αναπαραχθούν από αυτά του ρολογιού του Z80. Τα περιφερειακά του Z80 δεν είναι γενικής χρήσης, με εξαίρεση τον DMA Controller.

2.8.1 Z80 Parallel Input Output – PIO

Το PIO είναι ένα ολοκληρωμένο κύκλωμα που παρεμβάλλεται μεταξύ των περιφερειακών μονάδων εισόδου/εξόδου και της ΚΜΕ του Z80. Στο σχήμα 2-14 φαίνεται το PIO chip που έχει 40 ακροδέκτες οι οποίοι εμφανίζονται ομαδοποιημένοι κατά λειτουργία.



Σχήμα 2-14. Ακροδέκτες του Z80 PIO

2.8.1.1 Γενική Περιγραφή του PIO

Το PIO είναι μια προγραμματιζόμενη συσκευή με δύο θύρες (ports) για είσοδο και έξοδο που επιτρέπει διασύνδεση συμβατή με TTL τεχνολογία ανάμεσα σε περιφερειακές συσκευές και την ΚΜΕ του Z80. Το PIO μπορεί να διασυνδεθεί με ένα ευρύ φάσμα συσκευών συμπεριλαμβανομένων πληκτρολογίων, εκτυπωτών, PROM προγραμματιστών κα.

Ένα χαρακτηριστικό των περιφερειακών ελεγκτών του Z80 που τους ξεχωρίζει από άλλους αντίστοιχους ελεγκτές είναι ότι η μεταφορά δεδομένων ανάμεσα στην περιφερειακή συσκευή και την ΚΜΕ επιτρέπει πλήρη χρήση των δυνατοτήτων διακοπών του Z80 κατά τη διάρκεια I/O μεταφορών δεδομένων.

Ένα άλλο χαρακτηριστικό παράδειγμα του PIO είναι η ικανότητα να διακόπτει την ΚΜΕ με την ύπαρξη συγκεκριμένων καταστάσεων στην περιφερειακή συσκευή. Για παράδειγμα το PIO μπορεί να προγραμματιστεί για διακοπή αν οποιεσδήποτε συγκεκριμένες καταστάσεις «συναγερμού» (alarm conditions) εμφανιστούν. Αυτή η δυνατότητα διακοπών μειώνει το χρόνο αντίδρασης της ΚΜΕ σε συγκεκριμένες συνθήκες.

Η PIO διασυνδέει περιφερειακές συσκευές μέσω δύο ανεξάρτητων I/O ports γενικής χρήσης. Κάθε port έχει οκτώ bits δεδομένων και δύο σήματα ελέγχου (“handshake” όπως ονομάζονται) που ελέγχουν τη μεταφορά δεδομένων: το σήμα Ready δείχνει στο περιφερειακό ότι το port είναι έτοιμο για μεταφορά δεδομένων. Το Strobe δείχνει τότε μια μεταφορά δεδομένων ολοκληρώθηκε από το περιφερειακό.

2.8.1.2 Καταστάσεις λειτουργίας (operating modes)

Τα I/O ports του PIO μπορούν να προγραμματιστούν σε 4 modes:

- Εξόδου (mode 0 output)
- Εισόδου (mode 1 input)
- Διπλής κατεύθυνσης (mode 2 bidirectional) και
- Έλεγχος bit (mode 3, bit control)

Τα I/O ports του PIO μπορούν να προγραμματιστούν ως έξοδοι στο mode 0. Και τα δύο ports έχουν καταχωρητές εξόδου που μπορούν να διευθυνσιοδοτηθούν ανεξάρτητα ο ένας από τον άλλον. Δεδομένα μπορούν να γραφούν και στα δύο ports σε οποιαδήποτε χρονική στιγμή. Όταν γράφονται δεδομένα σε ένα port, ένα σήμα Ready δείχνει στην εξωτερική συσκευή ότι τα δεδομένα είναι έτοιμα στο σχετικό port και επίσης είναι έτοιμα για μεταφορά στην εξωτερική συσκευή. Μετά από την μεταφορά δεδομένων, η εξωτερική συσκευή απαντά με ένα σήμα strobe, το οποίο δημιουργεί μια διακοπή, εάν αυτό έχει επιτραπεί.

Ομοίως τα ports μπορούν να προγραμματιστούν σαν εισόδοι για εισαγωγή δεδομένων (mode 1). Κάθε port έχει έναν καταχωρητή εισόδου διευθυνσιοδοτημένο από την ΚΜΕ. Όταν η ΚΜΕ διαβάζει δεδομένα από ένα port, το PIO κάνει 1 το σήμα Ready, που ελέγχεται από την εξωτερική συσκευή. Η εξωτερική συσκευή στη

συνέχεια τοποθετεί τα δεδομένα στις γραμμές εισόδου/εξόδου, ενεργοποιεί το σήμα Strobe του port, κάνει reset το σήμα Ready και πυροδοτεί διακοπή ώστε η ΚΜΕ να διαβάσει την καινούργια τιμή που έγραψε η εξωτερική συσκευή.

Η κατάσταση 2 (mode 2) είναι διπλής κατεύθυνσης και χρησιμοποιεί μόνο το port A και επιπλέον τα σήματα διακοπών και τα handshake σήματα και των δύο ports. Το port B πρέπει να είναι σε mode 3 disable για διακοπές. Το port A χρησιμοποιείται ταυτόχρονα για είσοδο και έξοδο. Η λειτουργία εξόδου είναι παρόμοια στο mode 0 εκτός του γεγονότος ότι τα δεδομένα επιτρέπεται να βγαίνουν στο διάυλο του port A μόνο αν το σήμα ASTB' είναι ενεργό. Για είσοδο η διαδικασία είναι παρόμοια με το mode 1, εκτός του ότι χρησιμοποιούνται τα handshake σήματα του port B.

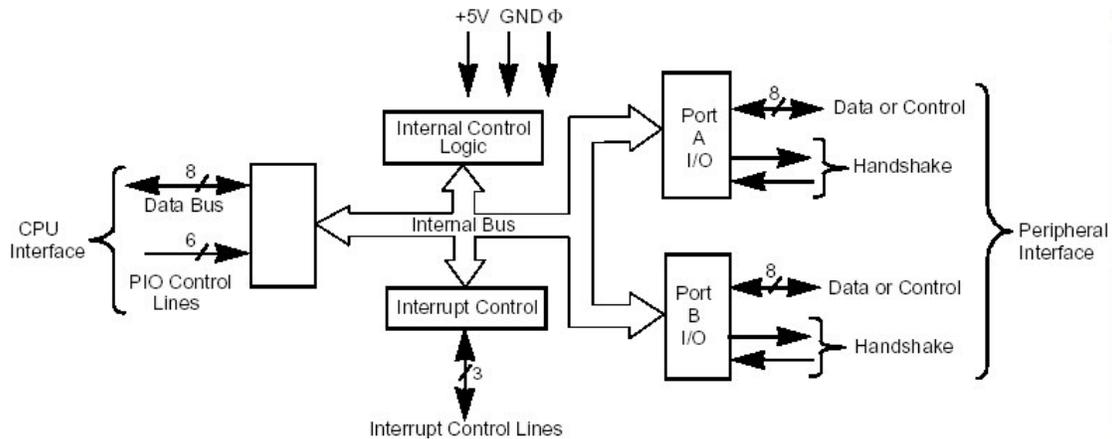
Και τα δύο ports μπορούν να χρησιμοποιηθούν στο mode 3. Σ' αυτό το mode τα bits αναγνωρίζονται ξεχωριστά είτε σαν bit εισόδου, είτε σαν bit εξόδου. Κατά το mode αυτό τα σήματα Ready, Strobe δεν χρησιμοποιούνται. Αντίθετα μπορούν να ενεργοποιηθούν διακοπές όταν η κατάσταση ενός ή περισσότερων ακροδεκτών ενός port αλλάξει. Οι συνθήκες πρόκλησης διακοπής καθορίζονται κατά την αρχικοποίηση του περιφερειακού αυτού και περιλαμβάνουν το αν η ενεργή στάθμη θα είναι χαμηλό ή υψηλό και το αν περισσότερες μεταβολές σε ακροδέκτες θα συνυπολογίζονται με AND ή OR πράξη στον καθορισμό της συνθήκης. Πχ, αν το port είναι προγραμματισμένο για χαμηλές εισόδους και λογική συνθήκη AND τότε όλες οι συγκεκριμένες εισοδοί πρέπει να γίνουν 0 για να προκληθεί διακοπή.

Οι έξοδοι δεδομένων ελέγχονται από την ΚΜΕ και μπορούν να μεταβληθούν κάθε στιγμή.

- Μπορούν να ενεργοποιηθούν μεμονωμένα bits.
- Τα handshake σήματα δεν χρησιμοποιούνται στο Mode 3. Το σήμα Ready μένει 0 και το Strobe ανενεργό.
- Όταν χρησιμοποιούνται PIO διακοπές, το interrupt mode της ΚΜΕ πρέπει να είναι στο Mode 2.

2.8.1.3 Εσωτερική Δομή

Η εσωτερική δομή του PIO αποτελείται από ένα διάυλο διασύνδεσης με την ΚΜΕ, εσωτερικό λογικό έλεγχο, λογική μονάδα εισόδου εξόδου για το port A και για το port B και έλεγχο για τις διακοπές. Ο διάυλος διασύνδεσης της ΚΜΕ επιτρέπει στο PIO να διασυνδεθεί απ' ευθείας με το Z80 χωρίς τη μεσολάβηση άλλων εξαρτημάτων. Ο εσωτερικός έλεγχος συγχρονίζει το διάυλο δεδομένων της ΚΜΕ με τις διασυνδέσεις της περιφερειακής συσκευής. Τα δύο ports εισόδου εξόδου χρησιμοποιούνται πανομοιότυπα για απ' ευθείας διασύνδεση με τις περιφερειακές συσκευές. Όλα τα παραπάνω φαίνονται στο σχήμα 2-15 που ακολουθεί



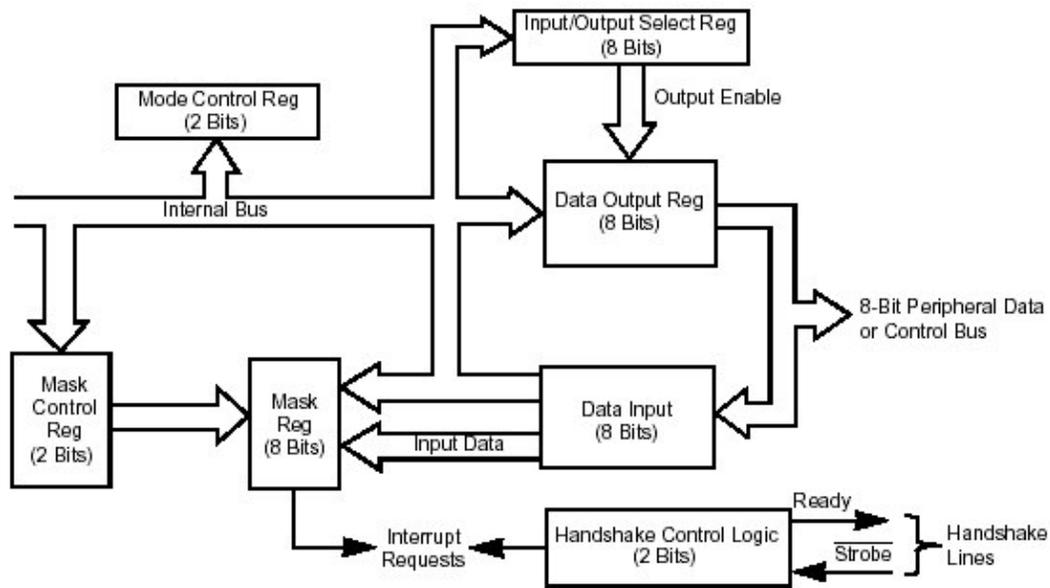
Σχήμα 2-15. Δομή του Z80 PIO

2.8.1.3.1 Λογική των ports

Κάθε port περιέχει ξεχωριστούς καταχωρητές εισόδου εξόδου, μονάδα ελέγχου του handshake και τους καταχωρητές ελέγχου όπως φαίνεται στο σχήμα 2-16 παρακάτω. Όλες οι μεταφορές δεδομένων ανάμεσα στην περιφερειακή μονάδα και την ΚΜΕ χρησιμοποιούν τα δεδομένα εισόδου και εξόδου των καταχωρητών. Ο καταχωρητής ελέγχου κατάστασης (2 bit) διαλέγει έναν από τους τέσσερις προγραμματιζόμενους τρόπους λειτουργίας.

Το mode 3 χρησιμοποιεί τους υπόλοιπους καταχωρητές. Ο καταχωρητής ελέγχου εισόδου εξόδου συγκεκριμενοποιεί πιο από τα 8 bit δεδομένων πρόκειται να χρησιμοποιηθούν ως έξοδοι και τα ενεργοποιεί. Τα υπόλοιπα είναι εισοδοί. Ο καταχωρητής μάσκας και ο καταχωρητής ελέγχου μάσκας ελέγχουν τις καταστάσεις των interrupts στο mode 3. Ο register μάσκας συγκεκριμενοποιεί ποια από τα bit είναι ενεργά και ποια είναι ανενεργά ή masked.

Ο καταχωρητής ελέγχου μάσκας ξεχωρίζει δύο καταστάσεις: (α) αν η ενεργός κατάσταση των bits εισόδου είναι υψηλή ή χαμηλή και (β) αν δημιουργείται μια διακοπή όταν οποιοδήποτε από τα «unmasked» bits εισόδου είναι ενεργό (κατάσταση OR) ή αν η διακοπή δημιουργείται όταν όλα τα unmasked bits εισόδου είναι ενεργά (κατάσταση AND).



Σχήμα 2-16. Αρχιτεκτονική ενός port του Z80 PIO

2.8.1.3.2 Λογική του ελέγχου διακοπών

Η αντίστοιχη μονάδα χειρίζεται όλα τα πρωτόκολλα διακοπών της ΚΜΕ για δομές διακοπής «εμφωλιασμένης» προτεραιότητας. Κάθε φυσική διεύθυνση συσκευής σημειώνει την προτεραιότητά της. Στο PIO οι διακοπές του port A έχουν υψηλότερη προτεραιότητα από του B. Στα τρία πρώτα modes λειτουργίας μπορεί να συμβεί διακοπή όποτε το περιφερειακό απαιτεί τη μεταφορά ενός νέου byte. Στην κατάσταση ελέγχου bit mode 3 διακοπή μπορεί να δημιουργηθεί όταν η κατάσταση του περιφερειακού ταιριάζει με μια προκαθορισμένη τιμή. Το PIO ελέγχει πλήρως τις εμφωλιασμένες διακοπές. Αυτό σημαίνει ότι οι συσκευές χαμηλής προτεραιότητας δεν μπορούν να διακόψουν υψηλής προτεραιότητας συσκευές των οποίων η ρουτίνα εξυπηρέτησης διακοπών δεν έχει ολοκληρωθεί από την ΚΜΕ, ενώ το αντίθετο επιτρέπεται.

Όταν η ΚΜΕ δεχτεί διακοπή, η συσκευή που την προκάλεσε πρέπει να στείλει ένα διάνυσμα διακοπής 8 bit στην ΚΜΕ. Αυτό περιέχει ένα δείκτη στην περιοχή της μνήμης όπου βρίσκεται η διεύθυνση της ρουτίνας εξυπηρέτησης της διακοπής. Αντίθετα από άλλα περιφερειακά του Z80 το PIO δεν επιτρέπει τις διακοπές μετά τον προγραμματισμό αλλά περιμένει μέχρι το σήμα M1 να γίνει χαμηλό. Το PIO αναγνωρίζει την εντολή επιστροφής από διακοπή απευθείας από το διάυλο δεδομένων και καμία άλλη επικοινωνία με την ΚΜΕ δεν απαιτείται.

2.8.1.3.3 Λογική του διαύλου διασύνδεσης με την ΚΜΕ

Ο διάυλος συνδέεται απευθείας με το PIO και έτσι καμιά επιπλέον προσθήκη δεν απαιτείται εκτός από μεγάλα συστήματα όπου μπορούν να χρησιμοποιηθούν αποκωδικοποιητές διευθύνσεων, απομονωτές κλπ για τη σύνδεση του PIO.

2.8.1.3.4 Λογική εσωτερικού ελέγχου

Η μονάδα αυτή δέχεται τις λέξεις ελέγχου για κάθε port κατά τη διάρκεια του προγραμματισμού και ελέγχει τις λειτουργίες του PIO. Επιπλέον συγχρονίζει τις λειτουργίες του port, ελέγχει την κατάσταση του port και τη διευθυνσιοδότησή του και επιλέγει λειτουργία ανάγνωσης ή εγγραφής.

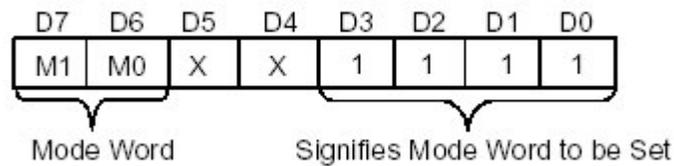
2.8.1.4 Προγραμματισμός του PIO

Ο προγραμματισμός ενός port στα modes 0, 1 ή 2 απαιτεί από μία έως έξι λέξεις ελέγχου:

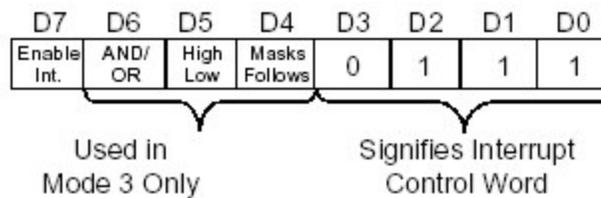
- Mode control word: Διαλέγει το mode του port. Εγγραφή αυτής της λέξης απαιτείται και δεν μπορεί να γίνει οποιαδήποτε στιγμή.
- Interrupt vector word: Το PIO είναι σχεδιασμένο να λειτουργεί με την ΚΜΕ στην κατάσταση interrupt mode 2. Αυτή η λέξη παρέχει τη διεύθυνση της ρουτίνας εξυπηρέτησης διακοπής
- Interrupt control word ή interrupt disable word: ελέγχει αν οι διακοπές πρέπει να είναι ενεργές ή όχι.

Ο προγραμματισμός ενός port στο mode 3 απαιτεί από δύο έως τέσσερις λέξεις ελέγχου. Αυτές οι λέξεις είναι:

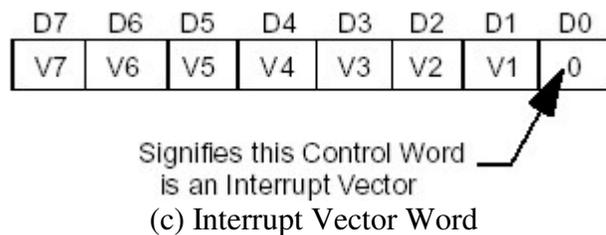
- I/O register control word: Καθορίζει ποιες γραμμές θα είναι έξοδοι (με 0 στο αντίστοιχο bit) και ποιες είσοδοι (γράφοντας 1 στο αντίστοιχο bit)
- Mode control word: Διαλέγει το mode του port. Εγγραφή αυτής της λέξης απαιτείται και μπορεί να γίνει οποιαδήποτε στιγμή. Το mode control word πρέπει να ακολουθείται από την I/O control word.
- Interrupt vector word: όπως παραπάνω
- Interrupt control word: Η λέξη αυτή καθορίζει τις συνθήκες και τα λογικά επίπεδα που απαιτείται να έχουν οι γραμμές για την πρόκληση διακοπής. Υπάρχει η δυνατότητα να προκληθεί διακοπή αν μία τουλάχιστον γραμμή διακοπής πληροί το επιθυμητό λογικό επίπεδο (συνθήκη OR). Επίσης μπορεί να καθορισθεί ότι θα προκληθεί διακοπή αν όλες οι γραμμές διακοπής βρίσκονται στο επιθυμητό λογικό επίπεδο (συνθήκη AND). Το bit 5 επιλέγει ένα από τα παραπάνω όπως φαίνεται στο Σχήμα 2-17
- Mask control word: Αυτή η λέξη καθορίζει ποιες πηγές διακοπών θα επιλεγούν. Για να ληφθεί υπόψη η λέξη αυτή θα πρέπει να γίνει 1 το bit 4 της Interrupt Control Word.



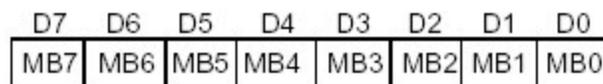
(a) Mode Control Word



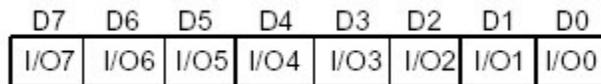
(b) Interrupt Control Word



(c) Interrupt Vector Word



(d) Mask Control Word



(e) I/O Register Word

Σχήμα 2-17. Καταχωρητές του Z80 PIO

2.8.1.5 Περιγραφή των ακροδεκτών του Z80 PIO

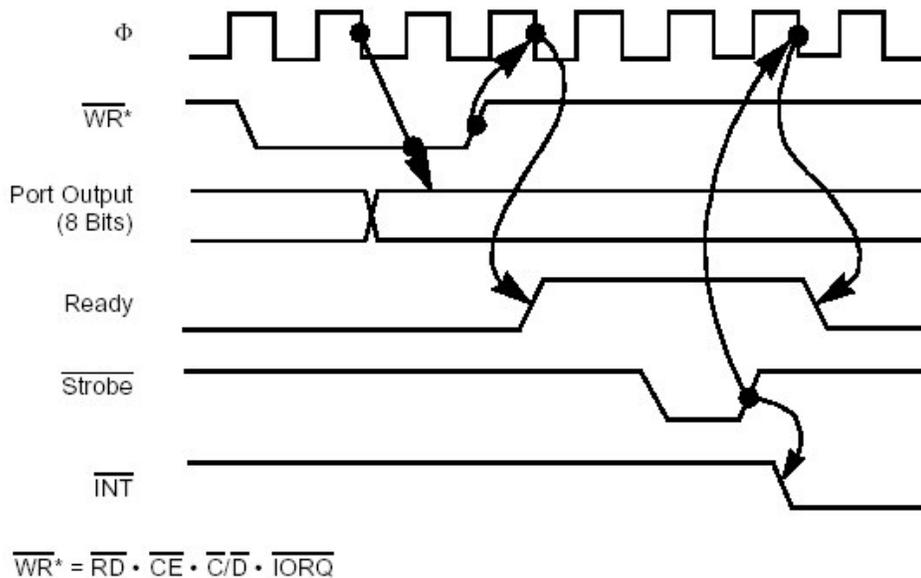
- PA0-PA7: Οι γραμμές του port A. Είναι διπλής κατεύθυνσης και τριών καταστάσεων. Μέσω της θύρας αυτής μπορούν να ανταλλαγούν δεδομένα μεταξύ του PIO και της περιφερειακής συσκευής. Το PA0 είναι το λιγότερο σημαντικό ψηφίο.
- ARDY (port A READY): Το handshaking σήμα εξόδου αυτό είναι ενεργό όταν είναι υψηλό και μεταφράζεται ανάλογα με το mode λειτουργίας:
 - Mode 0 – Το σήμα γίνεται ενεργό για να δείξει ότι το port A σαν καταχωρητής εξόδου έχει φορτωθεί και η περιφερειακή συσκευή που είναι

- συνδεδεμένη στις γραμμές PA0-PA7 μπορεί να διαβάσει χρήσιμα (valid) δεδομένα
- Mode 1 – Το σήμα αυτό γίνεται ενεργό όταν το port A σαν καταχωρητής εισόδου είναι έτοιμο να δεχτεί δεδομένα από την περιφερειακή συσκευή
- Mode 2 – Το σήμα είναι ενεργό όταν δεδομένα είναι διαθέσιμα στο port A για μεταφορά στην περιφερειακή συσκευή. Τα δεδομένα δεν τοποθετούνται στον δίαυλο εκτός κι αν το σήμα ASTB' είναι ενεργό
- Mode 3 – Το σήμα αυτό δεν χρησιμοποιείται και είναι μόνιμα χαμηλό
- ASTB' (port A STROBE): Σήμα εισόδου που είναι ενεργό όταν είναι χαμηλό:
 - Mode 0 – Το περιφερειακό προκαλεί μια μετάβαση από 0 σε 1 για να δείξει στην PIO ότι η λήψη δεδομένων είναι δυνατή από το PIO
 - Mode 1 – Μια θετική ακμή από το περιφερειακό δείχνει ότι αυτό μόλις έκανε μια αποστολή δεδομένων στο PIO
 - Mode 2 – Μια θετική ακμή σημαίνει τη λήψη δεδομένων από την περιφερειακή συσκευή στο διπλής κατεύθυνσης δίαυλο δεδομένων του port A.
 - Mode 3 – Το Strobe αποσυνδέεται εσωτερικά
- PB0-PB7: Ομοίως με τα PA0-PA7
- B/A' : Επιλογή port A ή B. Όταν είναι high επιλέγεται η εγγραφή μιας λέξης που αφορά το port B. Συνήθως συνδέεται με το A0 ή το A1 του διαύλου διευθύνσεων της ΚΜΕ
- BRDY, BSTB': Σήματα αντίστοιχα με τα ARDY, ASTB' για το port B
- C/D': Σήμα εισόδου που καθορίζει αν θα προσπελαστεί control ή data word από την ΚΜΕ
- CE' Chip Enable: Σήμα εισόδου ενεργό όταν είναι χαμηλό. Επιλέγει το συγκεκριμένο περιφερειακό για ανάγνωση ή εγγραφή από την ΚΜΕ
- CLK: Το ρολόι του PIO είναι ένα σήμα εισόδου. Συνδέεται με το ρολόι του Z80
- D0-D7: Συνδέονται στο δίαυλο δεδομένων της ΚΜΕ
- IEI, IEO: Χρησιμοποιούνται για τον καθορισμό προτεραιοτήτων στην ιεράρχηση των διακοπών που προκαλούν τα διάφορα περιφερειακά του Z80. Όταν το IEI είναι 1 δείχνει ότι καμιά άλλη συσκευή υψηλότερης προτεραιότητας δεν εξυπηρετείται τη στιγμή εκείνη. Το IEO είναι έξοδος που συνδέεται με το IEI της περιφερειακής συσκευής που έχει την αμέσως μικρότερη προτεραιότητα και γίνεται 0 ή 1 ανάλογα με το αν η τρέχουσα περιφερειακή συσκευή εξυπηρετεί ή όχι κάποια διακοπή
- INT': Σήμα εξόδου ανοιχτής καταβόθρας που δείχνει όταν είναι ενεργό (χαμηλό) αίτηση διακοπής προς τον επεξεργαστή.
- IORQ' Input Output Request: Σήμα εισόδου που είναι ενεργό όταν είναι χαμηλό και συνδέεται απευθείας με την αντίστοιχη γραμμή του Z80. Χρησιμοποιείται σε συνδυασμό με τα B/A', C/D', CE' και RD'. Όταν τα CE', RD', IORQ' είναι ενεργά το διευθυνσιοδοτημένο από το B/A' port μεταφέρει δεδομένα στην ΚΜΕ. Αν στην παραπάνω περίπτωση το RD' είναι ανενεργό τότε μεταφέρονται δεδομένα ή εντολές ελέγχου από την ΚΜΕ στο port που δείχνει το B/A' σύμφωνα και με το C/D'. Αν τα M1' και IORQ' είναι ενεργά η ΚΜΕ αναγνωρίζει μια

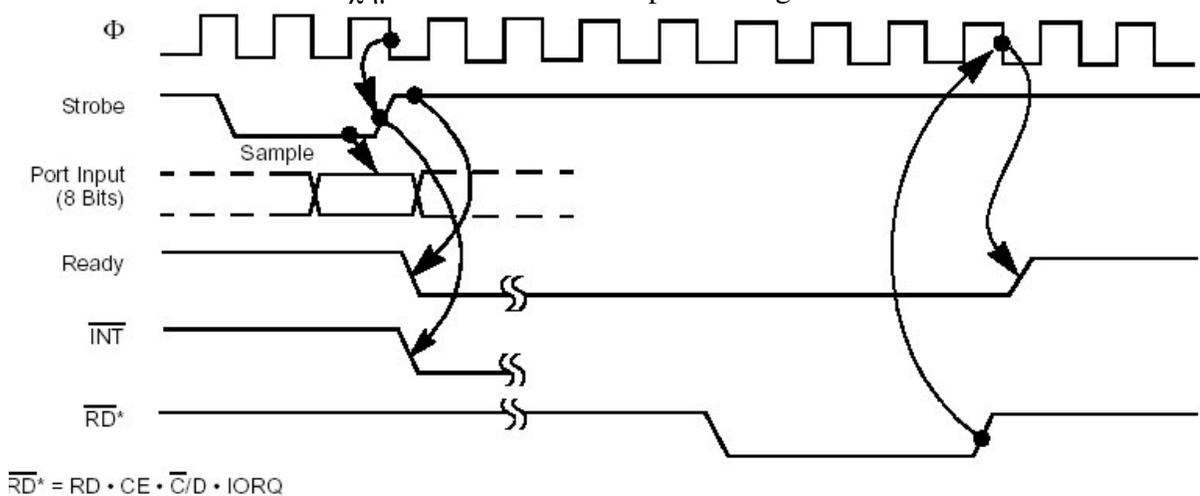
διακοπή και το port που προκαλεί την διακοπή τοποθετεί ένα διάνυσμα διακοπών στο δίαυλο δεδομένων της ΚΜΕ.

- M1': Σήμα που είναι ενεργό όταν είναι χαμηλό, δηλώνει τον πρώτο κύκλο μηχανής μιας εντολής και χρησιμοποιείται σαν παλμός συγχρονισμού για τον έλεγχο πολλών εσωτερικών λειτουργιών του PIO.
- RD' (Read Cycle Status): Είναι σήμα εισόδου από την ΚΜΕ που είναι ενεργό όταν είναι χαμηλό και δηλώνει τότε ανάγνωση μιας τιμής από την ΚΜΕ

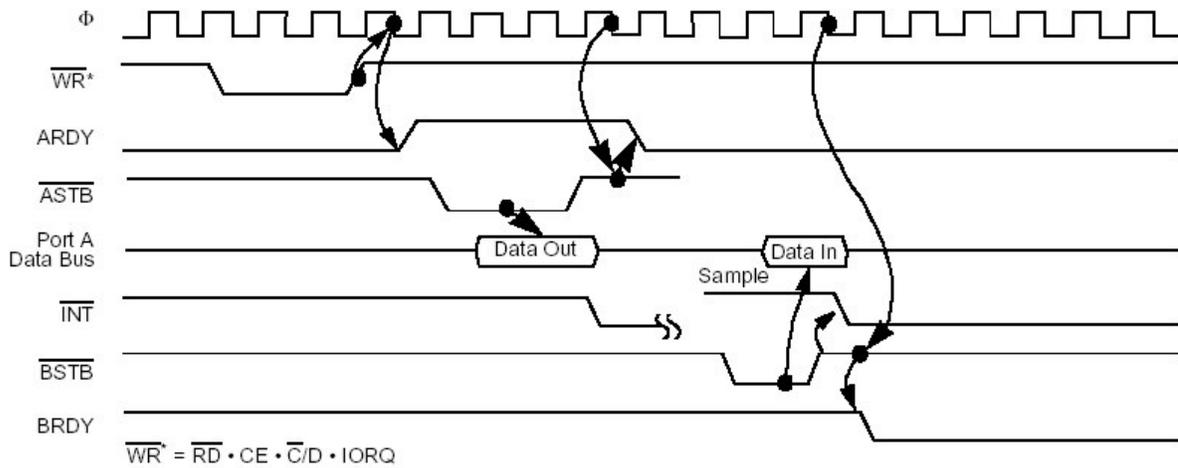
2.8.1.5.1 Σήματα συγχρονισμού του PIO



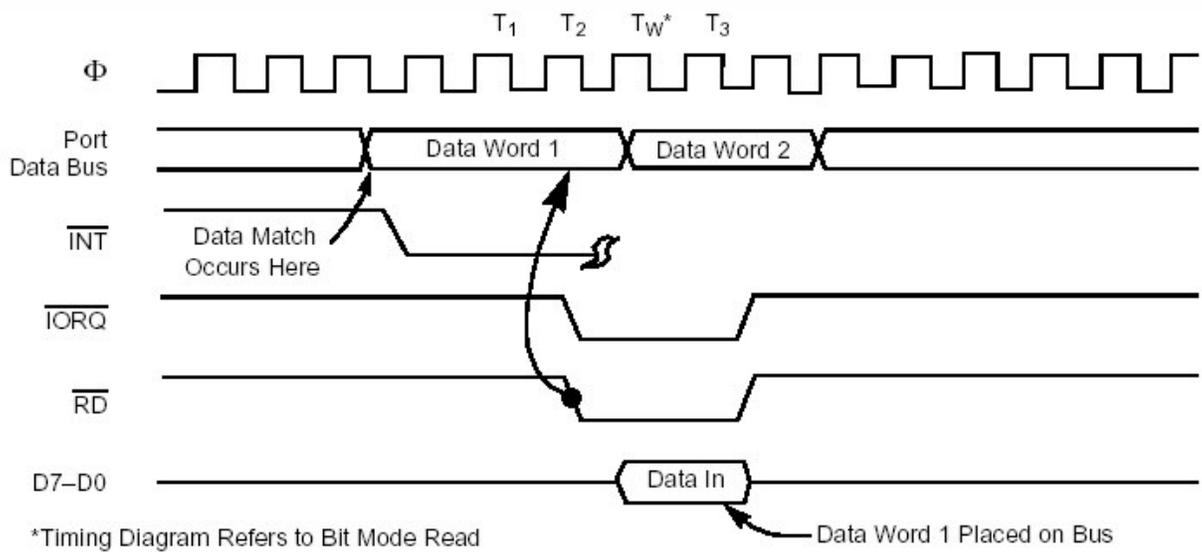
Σχήμα 2-18. Mode 0 Output Timing



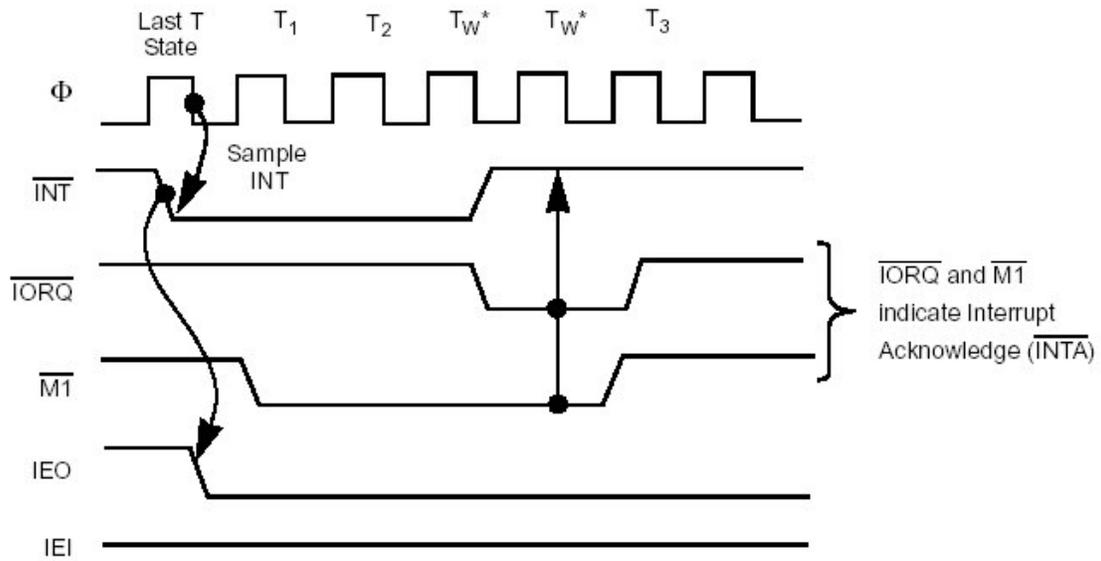
Σχήμα 2-19. Mode 1 Input Timing



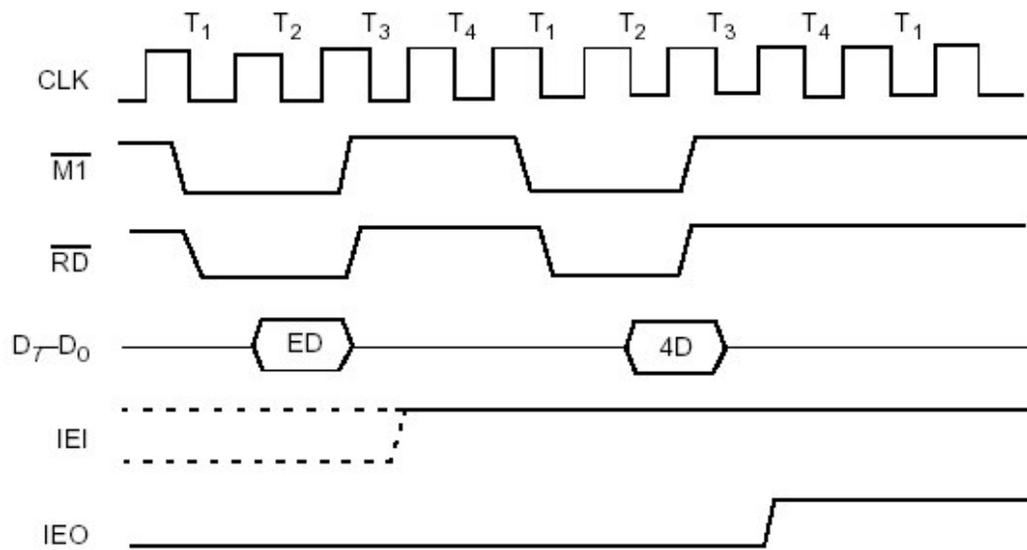
Σχήμα 2-20. Mode 2 Bidirectional Timing



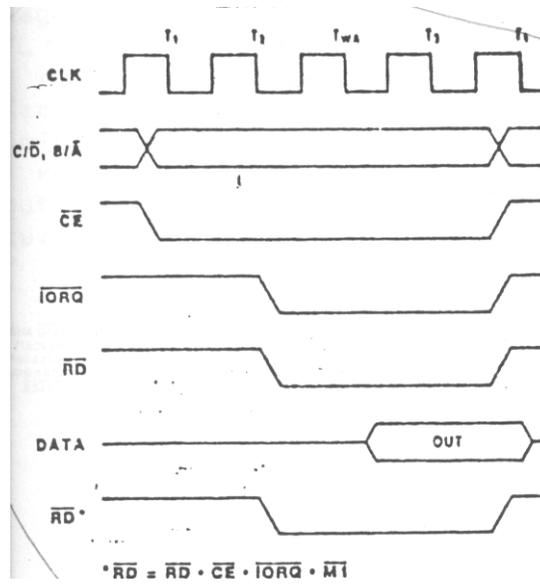
Σχήμα 2-21. Mode 3 Bit Control Mode Timing, Bit Mode Read



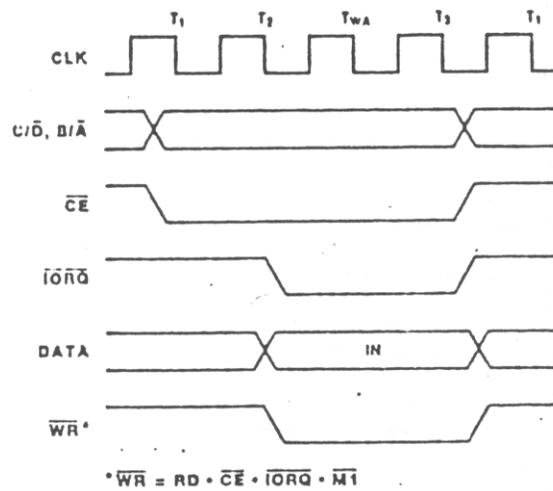
Σχήμα 2-22. Interrupt Acknowledge Timing



Σχήμα 2-23. Return From Interrupt



Σχήμα 2-24. Read Cycle Timing



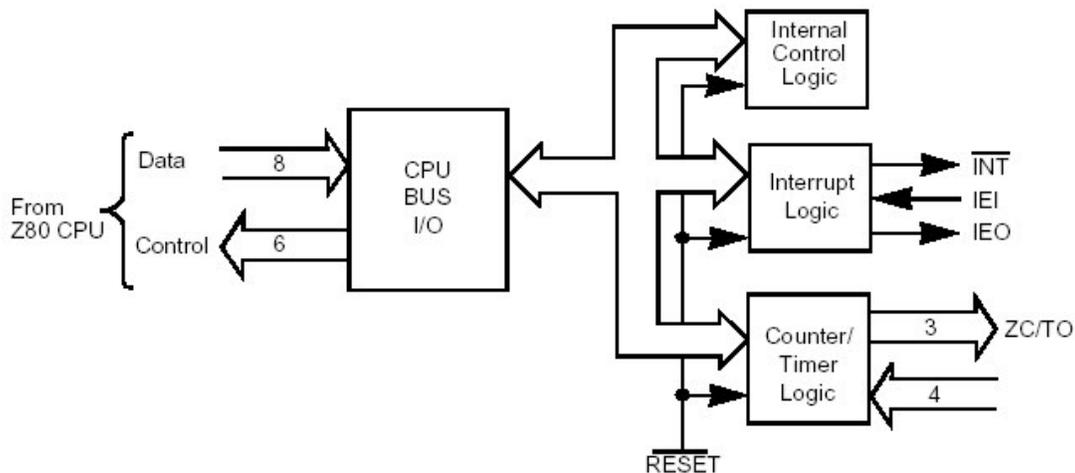
Σχήμα 2-25. Write Cycle Timing

2.8.2 Z80 CTC (Clock Timer Circuit)

Το όνομα CTC του περιφερειακού αυτού προσέρχεται από τις δύο βασικές λειτουργίες που εξυπηρετεί:

- Μετρητής (Counting)
- Χρονιστής (Timing)

Στο σχήμα 2-26 παρουσιάζεται η αρχιτεκτονική του Z80CTC



Σχήμα 2-26. Αρχιτεκτονική του Z80 CTC

Υπάρχουν τέσσερα κανάλια μετρητή χρονιστή. Οι ακροδέκτες του Z80 CTC ολοκληρωμένου κυκλώματος είναι συμβατοί με TTL τεχνολογία. Τα τέσσερα κανάλια του Z80 CTC είναι ανεξάρτητα αλλά έχουν όμοιες λειτουργίες και ονομάζονται Ch0, Ch1, Ch2, Ch3. Τα τρία από τα κανάλια (Ch0-Ch2) διαθέτουν δύο σήματα που λέγονται Zero timeout (output) και clock trigger (input). Το Ch3 έχει μόνο trigger input line.

2.8.2.1 Ακροδέκτες του Z80 CTC

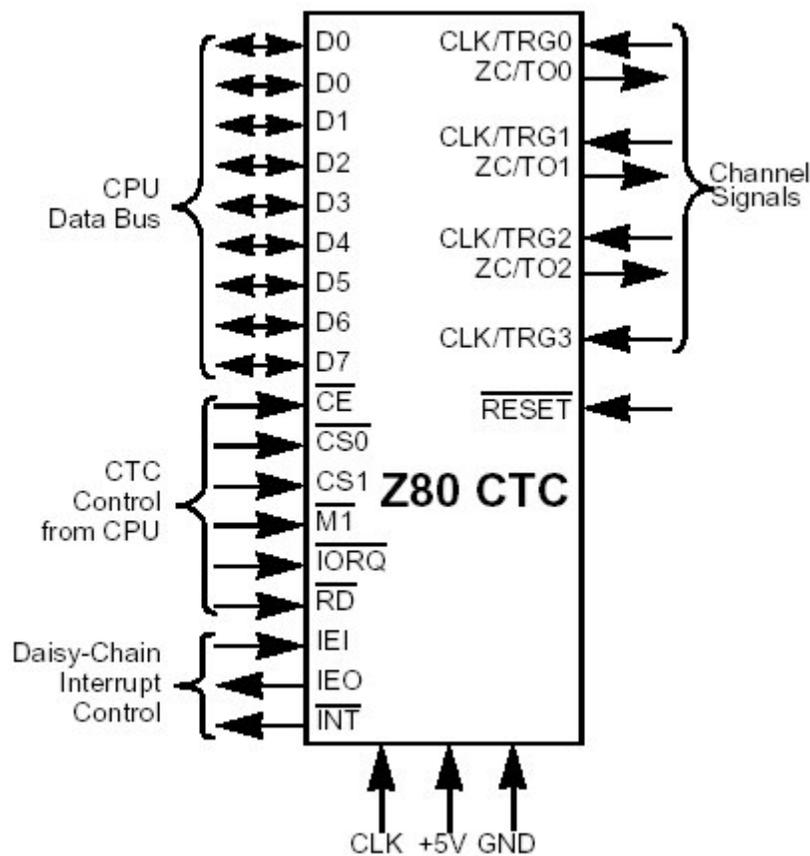
Στο Σχήμα 2-27 παρουσιάζονται οι ακροδέκτες του Z80 CTC

- D0-D7: Συνδέονται στο διάλυο δεδομένων της ΚΜΕ για την ανάγνωση ή εγγραφή τιμών στους καταχωρητές του Z80 CTC.
- CS1, CS0: Γραμμές επιλογής καναλιού

CS1	CS0	ACTIVE CHANNEL
0	0	channel 0
0	1	channel 1

1	0	channel 2
1	1	channel 3

- Clock: Ρολόι με βάση το οποίο συγχρονίζονται οι μετρητές των καναλιών.
- M1', IORQ, RD' : Συνδέονται στις αντίστοιχες γραμμές του Z80.
- IEI, IEO: Χρησιμοποιούνται για τη σύνδεση πολλών περιφερειακών μαζί σε αλυσίδα και την ιεράρχηση των διακοπών τους.
- INT': Γραμμή εξόδου που συνδέεται στην αντίστοιχη του Z80 για την πρόκληση διακοπών.
- RESET: Για την αρχικοποίηση του περιφερειακού.
- CLK/TRG0-CLK/TRG3: Γραμμές εξωτερικού triggering για κάθε κανάλι.
- ZC/TO0-ZC/TO2: Δηλώνουν ότι το σήμα zero count/timeout είναι υψηλό.



Σχήμα 2-27. Ακροδέκτες του Z80 CTC

2.8.2.2 Z80 CTC Counter Mode

Στην κατάσταση αυτή ένα κανάλι μετράει παλμούς που δίνονται στην είσοδο CLK/TRG. Για να χρησιμοποιηθεί ο down counter του CTC πρέπει να εισάγουμε μια

χρονική σταθερά στον time constant καταχωρητή. Η χρονική αυτή σταθερά πρέπει να έχει τιμή μικρότερη ή ίση με το 0FFH. Η χρονική σταθερά είναι ο αριθμός απ' όπου ξεκινάει ο down counter και η οποία μειώνεται σε κάθε παλμό ρολογιού. Όταν η τιμή αυτή μηδενιστεί ενεργοποιείται η έξοδος zero count. Πριν όμως ο down counter αρχίσει να λειτουργεί σε αυτό το mode ο channel control register πρέπει να προγραμματιστεί κατάλληλα. Τα πεδία του καταχωρητή αυτού είναι τα εξής:

- D0: Πρέπει να τεθεί 1 για να ερμηνευθεί η εγγραφή ως προσπέλαση στον καταχωρητή αυτό.
- D1: Επιτρέπει (=1) ή απαγορεύει (=0) τη συνέχιση της μέτρησης από το συγκεκριμένο κανάλι.
- D2: Αν το bit αυτό είναι 1 δηλώνει ότι η επόμενη εγγραφή θα είναι η χρονική σταθερά.
- D3: Χρησιμοποιείται μόνο σε Timer mode.
- D4: Δηλώνει σε ποια ακμή της CLK/TRG γραμμής θα αρχίσει η μέτρηση.
- D5: Χρησιμοποιείται μόνο σε Timer mode.
- D6: Αν είναι 1 το κανάλι θα λειτουργήσει σαν μετρητής.
- D7: Αν είναι 1 απενεργοποιούνται οι διακοπές.

2.8.2.3 Προγραμματισμός για λειτουργίες μέτρησης

Ας υποθέσουμε ότι το κανάλι 1 θα χρησιμοποιηθεί για να μετράει «λάθη» υπό μορφή παλμών στη γραμμή CLK/TRG1. Δεν θα χρησιμοποιηθούν διακοπές και το περιφερειακό θα λειτουργήσει σε polled mode: δηλαδή ο Z80 θα διαβάζει την τιμή του μετρητή του καναλιού 1 και όταν το πλήθος των παλμών που έχει μετρηθεί είναι μικρότερο πχ, του 46 θα συνεχίζει να ελέγχει το μετρητή μέσα από ένα βρόγχο.

Αρχικά πρέπει να γίνει εγγραφή στον control register του καναλιού. Άρα τα CS1, CS0 πρέπει να οδηγηθούν στις τιμές 0 και 1 αντίστοιχα. Ας υποθέσουμε ότι η διεύθυνση του port για μια τέτοια περίπτωση είναι η 41H. Ο control register μπορεί να πάρει την τιμή 57H. Οι εντολές για την εγγραφή αυτή είναι

```
LD A,57H  
OUT (41H,57)
```

Κατόπιν πρέπει να ακολουθήσει η εγγραφή της χρονικής σταθεράς στη διεύθυνση 41H. Αυτή η σταθερά μπορεί να είναι το όριο του πλήθους λαθών που ορίσαμε δηλαδή το 46=2EH:

```
LD A,2EH  
OUT (41H),A
```

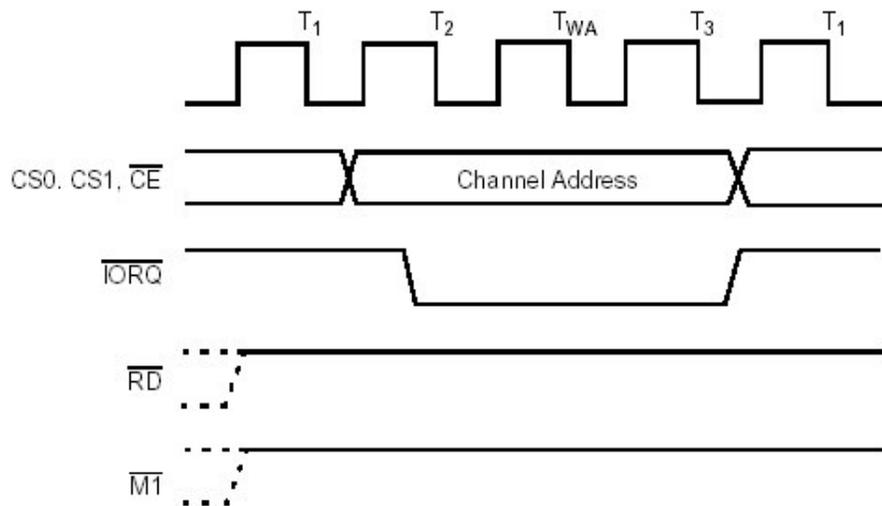
Το πλήρες πρόγραμμα θα έχει ως εξής:

```
LD A,57H
```

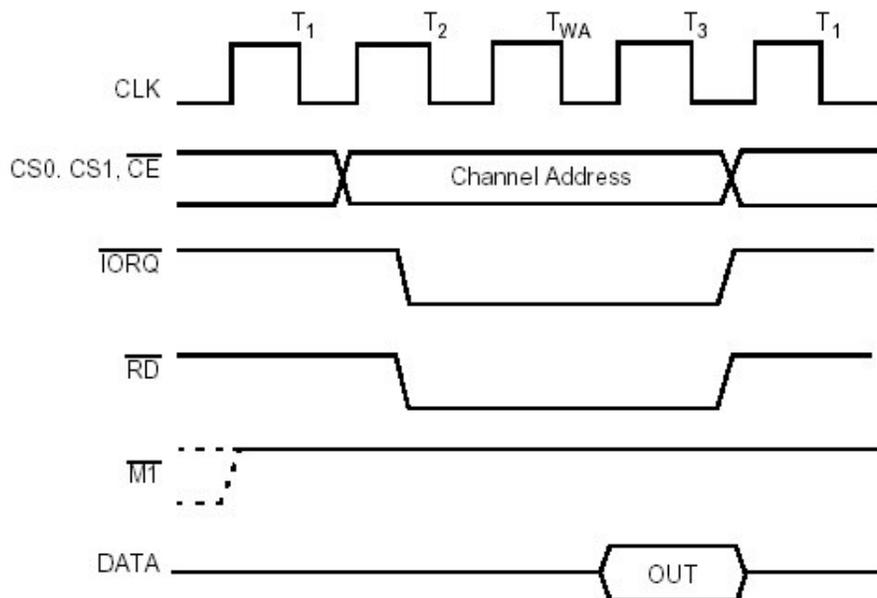
```

OUT (41H),A
LD A,2EH
OUT (41H),A
LOOP: IN A,(41H)
CP 00H
JP NZ,LOOP
    
```

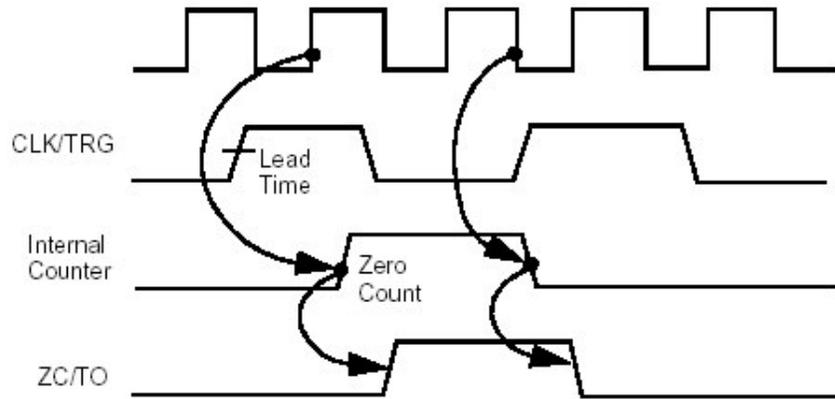
2.8.2.4 Σήματα Χρονισμού του CTC



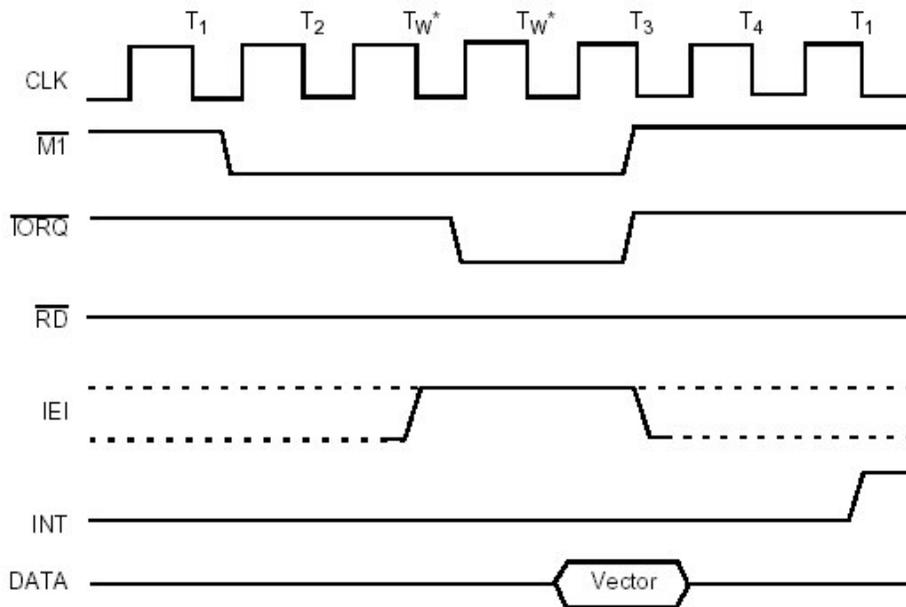
Σχήμα 2-28 Write Cycle



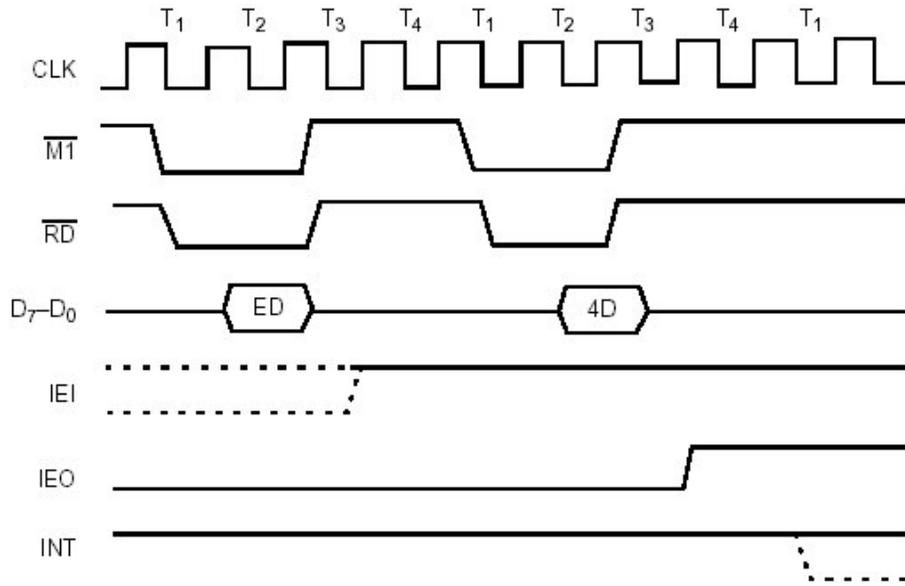
Σχήμα 2-29. Read Cycle



Σχήμα 2-30. Counter Mode

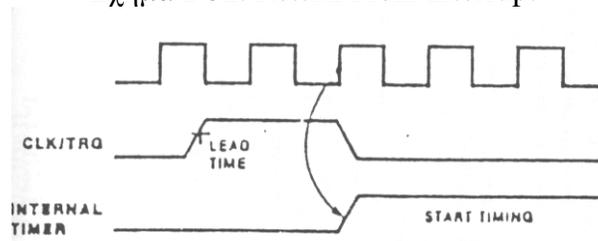


Σχήμα 2-31. Interrupt Acknowledge



*INT goes Low if more interrupts are pending on the \overline{RTC} .

Σχήμα 2-32. Return From Interrupt



Σχήμα 2-33. Timer Mode Timing